

WITIO-48 EXTENDED

EDV-Nr.: A-1254

48 Ein-/Ausgänge
3 * 16-Bit-Zähler
8 Interrupteingänge
Waitstategenerator

Copyright[®] 2006 by Messcomp Datentechnik GmbH

Diese Dokumentation ist urheberrechtlich geschützt. Alle Rechte sind vorbehalten.

Messcomp Datentechnik GmbH behält sich das Recht vor, die in dieser Dokumentation beschriebenen Produkte jederzeit und ohne Vorankündigung zu verändern.

Ohne schriftliche Genehmigung der Firma Messcomp Datentechnik GmbH darf diese Dokumentation in keinerlei Form vervielfältigt werden.

Geschützte Warenzeichen

IBM PC, PC/XT und PC/AT sind geschützte Warenzeichen von International Business Machines (IBM).

BASIC ist ein geschütztes Warenzeichen von Dartmouth College. Turbo Pascal, Turbo C sind geschützte Warenzeichen von Borland. Quickbasic ist ein eingetragenes Warenzeichen von Microsoft. Powerbasic ist ein eingetragenes Warenzeichen von Robert S. Zale.

wasco[®] ist ein eingetragenes Warenzeichen.

Haftungsbeschränkung

Die Firma Messcomp Datentechnik GmbH haftet für keinerlei, durch den Gebrauch der Interfacekarte WITIO-48_{EXTENDED} und dieser Dokumentation, direkt oder indirekt entstandenen Schäden.

Inhaltsverzeichnis

- 1. Produktbeschreibung**
- 2. Installation der WITIO-48_{EXTENDED}**
- 3. Systemkomponenten**
 - 3.1 Blockschaltbild
 - 3.2 Adresseinstellung und Zugriff auf Systemkomponenten
- 4. Anschlussstecker**
 - 4.1 Lage der Anschlussstecker
 - 4.2 Steckerbelegung von P2
 - 4.3 Steckerbelegung von P5
 - 4.4 Steckerbelegung von P5 auf D-Sub 37 (Steckerverlegungsset)
 - 4.5 Steckerbelegung des Kompatibilitätssteckers P3
 - 4.6 Steckerbelegung des Kompatibilitätssteckers P4
 - 4.7 WITIO-48_{EXTENDED} - PC8255/Steckergegenüberstellung
- 5. Jumperblöcke**
 - 5.1 Lage der Jumperblöcke auf der Platine
 - 5.2 Signalbelegung JP4
 - 5.3 Signalbelegung JP6
 - 5.4 Signalbelegung JP8
 - 5.5 Signalbelegung JP9
 - 5.6 Signalbelegung JP10
- 6. 48-Kanal-Ein-/Ausgabe**
- 7. 3 * 16 Bit Zähler**
- 8. Interrupt-System**
 - 8.1 Interrupteingänge / PIC 8259
 - 8.2 Grundeinstellungen
 - 8.3 Grundlegendes zur Interrupt-Programmierung mit der WITIO-48_{EXTENDED}
 - 8.4 Programmierung des PIC 8259 der WITIO-48_{EXTENDED}
- 9. Waitstategenerator**

10. Programmierung

- 10.1 Hinweise zur Programmierung der WITIO-48_{EXTENDED}
- 10.2 Zuordnung der Portadressen

11. Zubehör

- 11.1 Passendes **wasco**[®]- Zubehör
- 11.2 Anschlusstechnik (Anwendungsbeispiel)
- 11.3 Einzelkomponenten zur Eigenkonfektionierung

12. Fehlersuche

13. Technische Daten

14. Produkthaftungsgesetz

15. EG-Konformitätserklärung

Anhang

- Programmierbarer Timer-Baustein 8254
- Programmierbarer I/O-Baustein 8255
- Programmierbarer Interrupt-Baustein 8259

1. Produktbeschreibung

Die WITIO-48_{EXTENDED} bietet 48 digitale Ein/Ausgangskanäle, die TTL-kompatibel sind. Diese Karte eignet sich für Ein- und Ausgabeanwendungen, für die keine galvanische Trennungen notwendig sind. Die sechs Ein/Ausgabeports sind in Gruppen zu je acht Kanälen, jeder dritte Port ist zudem auch in zwei Gruppen zu je vier Kanälen als Ein- oder Ausgänge programmierbar. Zusätzlich zu den normalen TTL-Ein/Ausgangskanälen sind acht programmierbare Interrupteingänge, die über einen Interruptcontroller kontrolliert werden, verfügbar. Zeitabhängige Interruptauslösungen sind durch einen Zählerbaustein, kombiniert mit einem Quarzoszillator realisierbar. Eine 37polige D-Sub-Buchse am Slotblech der Platine und ein 40poliger Pfostenstecker ermöglichen den Anschluss der Peripherie. Über ein optional erhältliches Steckerverlegungs-Set ist die Verlegung des 40poligen Pfostensteckers auf eine 37polige D-Sub-Buchse mit Slotblech möglich. Durch zwei zusätzlich auf der Platine platzierte 40polige Pfostenstecker ist die WITIO-48_{EXTENDED} kompatibel zur Ein/Ausgabekarte PC-8255.

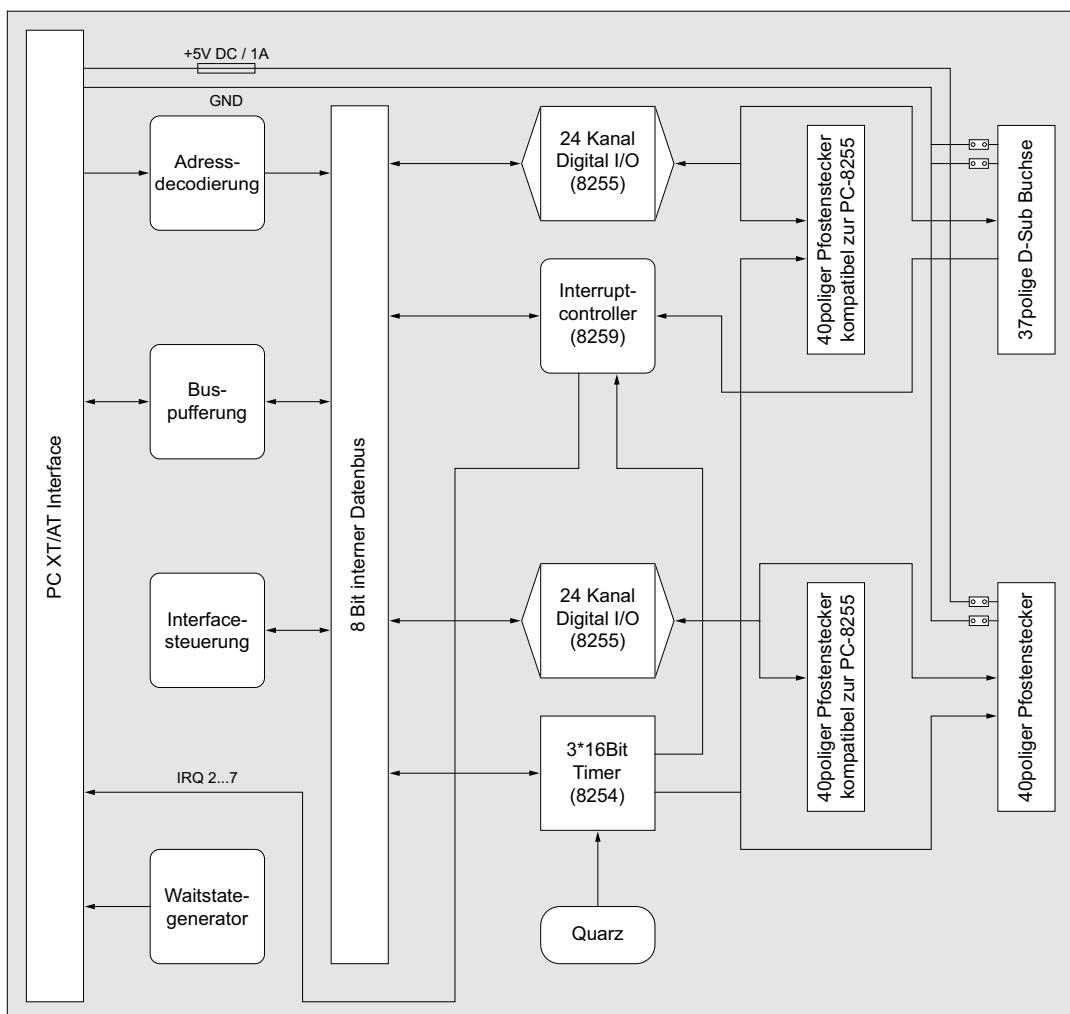
2. Installation der WITIO-48_{EXTENDED}

Achten Sie vor dem Einbau der WITIO-48 darauf, dass der Rechner vom Netz getrennt oder zumindest ausgeschaltet ist. Denn beim Einbau der Interface-Karte in den laufenden Rechner besteht die Gefahr, dass neben der WITIO-48 auch andere Karten des PCs oder Rechners zerstört werden.

Wählen Sie in Ihrem Rechner einen freien ISA-Steckplatz, in den Sie dann die Karte einsetzen. Verschrauben Sie das Slotblech der Platine mit dem Rechnergehäuse, damit sich die Karte nicht während des Betriebs unter Einwirkung des Anschlusskabels aus dem Steckplatz lösen kann.

3. Systemkomponenten

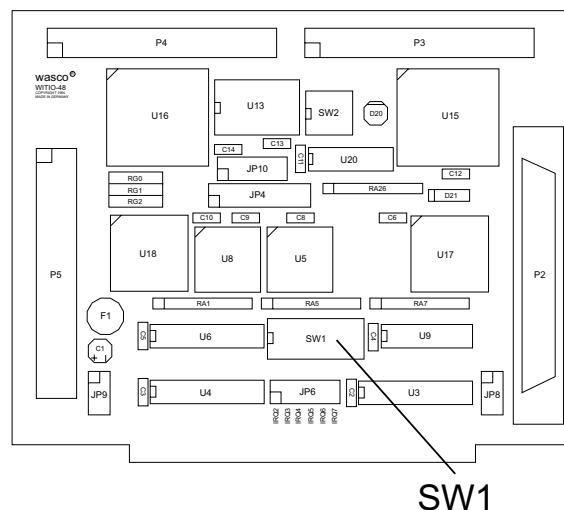
3.1 Blockschaltbild



3.2 Adresseinstellung und Zugriff auf Systemkomponenten

Der Zugriff auf die Hardware-Komponenten der WITIO-48 erfolgt durch das Lesen von bzw. Schreiben in Portadressen.

Die Port-Adress-Bereiche, unter denen die I/O Bausteine angesprochen werden können, sind durch Dip-Schalter auf der Platine einstellbar:



Die Interfacekarte WITIO-48_{EXTENDED} decodiert die Adressleitungen A4 bis A11. Für die Basis-Portadresse sind die Adressleitungen A4 bis A9 relevant, da in den PC's nicht der volle Adressbereich ausdecodiert wird. Die Dip-Schalter der Adressleitungen A10 und A11 müssen immer ON sein.

Achten Sie bei der Einstellung der Portadresse darauf, dass der ausgewählte Adressbereich von keiner anderen Peripheriekarte oder vom Computer selbst benutzt wird. Die Interfacekarte ist standardmäßig auf die Adresse 220h eingestellt. Falls die Adresse im Computer bereits belegt ist und Sie diese ändern müssen, ist darauf zu achten, dass in den mitgelieferten Beispielprogrammen die Port-Adressen ebenfalls geändert werden.

Entnehmen Sie die wichtigsten Einstellungen der Portadressen nachfolgender Tabelle.

Einstellung der Portadressen:

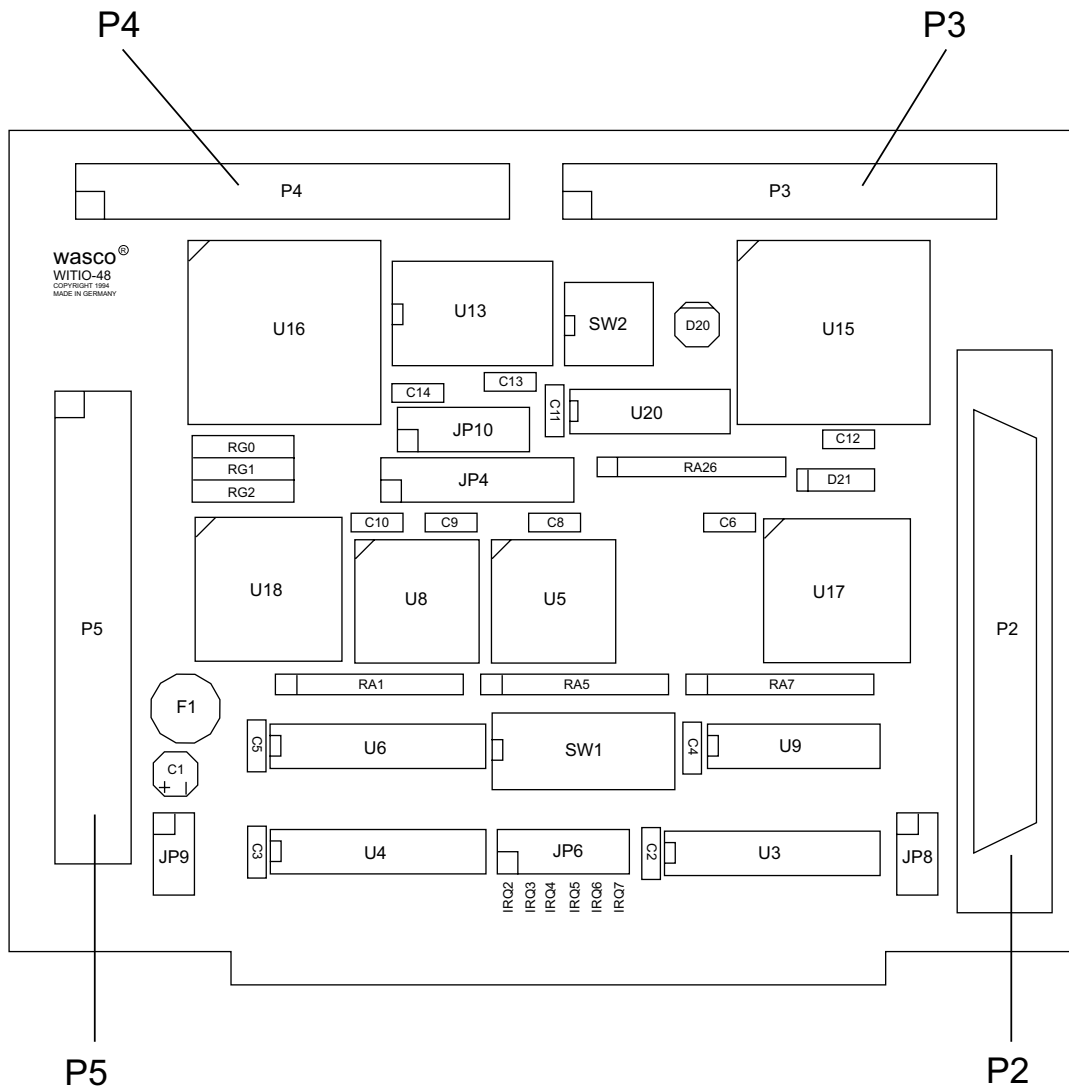
Schalter SW1 Basisadresse	1 A4	2 A5	3 A6	4 A7	5 A8	6 A9	7 A10	8 A11
200h	ON	ON	ON	ON	ON	OFF	ON	ON
210h	OFF	ON	ON	ON	ON	OFF	ON	ON
220h	ON	OFF	ON	ON	ON	OFF	ON	ON
230h	OFF	OFF	ON	ON	ON	OFF	ON	ON
240h	ON	ON	OFF	ON	ON	OFF	ON	ON
250h	OFF	ON	OFF	ON	ON	OFF	ON	ON
260h	ON	OFF	OFF	ON	ON	OFF	ON	ON
270h	OFF	OFF	OFF	ON	ON	OFF	ON	ON
280h	ON	ON	ON	OFF	ON	OFF	ON	ON
290h	OFF	ON	ON	OFF	ON	OFF	ON	ON
2A0h	ON	OFF	ON	OFF	ON	OFF	ON	ON
2B0h	OFF	OFF	ON	OFF	ON	OFF	ON	ON
2C0h	ON	ON	OFF	OFF	ON	OFF	ON	ON
2D0h	OFF	ON	OFF	OFF	ON	OFF	ON	ON
2E0h	ON	OFF	OFF	OFF	ON	OFF	ON	ON
2F0h	OFF	OFF	OFF	OFF	ON	OFF	ON	ON
300h	ON	ON	ON	ON	OFF	OFF	ON	ON

Die Belegung der Portadressen im PC:

Portadresse	Funktion
000h .. 00Fh	DMA-Controller
020h .. 021h	Interrupt-Controller
040h .. 043h	Zeitgeber (8253)
060h .. 063h	Systemregister (8255)
080h .. 083h	DMA-Seitenregister
0AXh	NMI-Interrupt-Register
0CXh	Reserviert
0EXh	Reserviert
100h .. 1FFh	nicht verwendet
200h .. 20Fh	Game-Port
210h .. 217h	Erweiterungseinheit
220h .. 24Fh	Reserviert
278h .. 27Fh	2. paralleler Drucker
2F8h .. 2FFh	2. serielle Schnittstelle
300h .. 31Fh	Prototypenkarte
320h .. 32Fh	Harddisk-Controller
378h .. 37Fh	paralleler Drucker
380h .. 38Fh	SDLC-Schnittstelle
3A0h .. 3AFh	Reserviert
3B0h .. 3BFh	Monochromadapter
3C0h .. 3CFh	Reserviert
3D0h .. 3DFh	Farbgrafikkarte
3E0h .. 3E7h	Reserviert
3F0h .. 3F7h	Floppy-Controller
3F8h .. 3FFh	serielle Schnittstelle

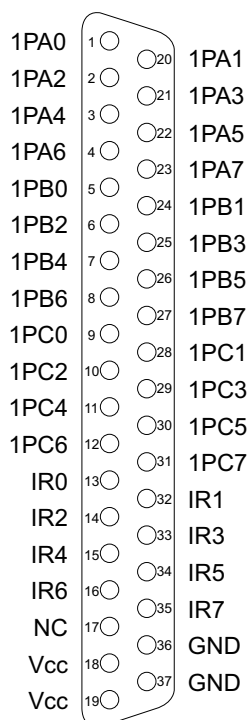
4. Anschlussstecker

4.1 Lage der Anschlussstecker



4.2 Steckerbelegung von P2

Die D-Sub-Buchse P2 ist am Slotblech der Platine montiert. Ihr sind die ersten 24 Ein-/Ausgänge, sowie die acht Interrupteingänge zugeführt. Die 24 Ein-/Ausgänge sind außerdem auch der Pfostenleiste P3 zugeführt, um eine Kompatibilität zu CN1 der PC8255 zu erreichen. Die interne Versorgungsspannung (Vcc +5V) und die Masse (GND) des Rechners kann durch Setzen von Jumperbrücken am Jumperblock JP8 zugeführt werden. Der Anschlussstecker P2 der WITIO-48_{EXTENDED} ist kompatibel zu P2 der WITIO-240_{EXTENDED}.



Vcc:

Interne Versorgungsspannung (+ 5V) des Rechners. Hier niemals eine externe Spannung anlegen.

GND:

Masse des Rechners

NC:

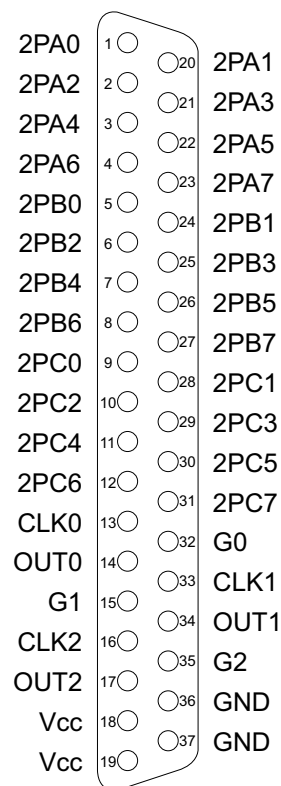
Pin nicht belegt

4.3 Steckerbelegung von P5

Die 24 Ein-/Ausgänge vom PIO-Baustein #2 und die Anschlüsse des Timers liegen am Pfostenstecker P5 an. Außerdem sind die Ein-/Ausgänge auch dem Kompatibilitätsstecker P4 und Anschlüsse des Timers P3 zugeführt. Es besteht die Möglichkeit, die Anschlüsse des Pfostensteckers P5 mittels Flachbandleitung auf ein Slotblech mit 37poliger D-Sub-Buchse (Steckerverlegungs-Set DB37F13) zu verlegen. Die interne Vcc +5V und GND des Rechners liegen, nach Setzen von Jumperbrücken am Jumperblock JP9, am Anschlussstecker P5 an. Der Pfostenstecker P5 der WITIO-48_{EXTENDED} ist kompatibel zu P5 der WITIO-48_{STANDARD}, WITIO-240_{STANDARD} und WITIO-240_{EXTENDED}, zu P2 der RELAIS-16_{EXTENDED} und IODA-12_{EXTENDED}, zu P3 der RELAIS-32_{EXTENDED}, OPTOOUT-32_{EXTENDED}, OPTOIO-16_{EXTENDED} und OPTORE-16_{EXTENDED}.

2PA0	1	○	○	2	2PA1
2PA2	3	○	○	4	2PA3
2PA4	5	○	○	6	2PA5
2PA6	7	○	○	8	2PA7
2PB0	9	○	○	10	2PB1
2PB2	11	○	○	12	2PB3
2PB4	13	○	○	14	2PB5
2PB6	15	○	○	16	2PB7
2PC0	17	○	○	18	2PC1
2PC2	19	○	○	20	2PC3
2PC4	21	○	○	22	2PC5
2PC6	23	○	○	24	2PC7
CLK0	25	○	○	26	G0
OUT0	27	○	○	28	CLK1
G1	29	○	○	30	OUT1
CLK2	31	○	○	32	G2
OUT2	33	○	○	34	GND
Vcc	35	○	○	36	GND
Vcc	37	○	○	38	NC
NC	39	○	○	40	NC

4.4 Steckerbelegung von P5 auf D-Sub 37 (Steckerverlegungsset)



Vcc:

Interne Versorgungsspannung (+ 5V) des Rechners. Hier niemals eine externe Spannung anlegen.

GND:

Masse des Rechners

NC:

Pin nicht belegt

4.5 Steckerbelegung des Kompatibilitätssteckers P3

Die nachfolgenden Abbildungen zeigen die Pinbelegungen des Kompatibilitätssteckers P3 der WITIO-48_{EXTENDED} und des Pfostensteckers CN1 der PC8255.

GND	1	2	GND
1PA3	3	4	NC
1PA2	5	6	1PA1
1PA0	7	8	CLK0
OUT0	9	10	G0
CLK2	11	12	OUT2
G2	13	14	CLK1
G1	15	16	OUT1
1PA4	17	18	1PA5
1PA6	19	20	1PA7
1PC7	21	22	1PC6
1PC5	23	24	1PC4
1PC0	25	26	1PC1
1PC2	27	28	1PB7
1PC3	29	30	1PB6
1PB0	31	32	1PB5
1PB1	33	34	1PB4
1PB2	35	36	1PB3
-5V	37	38	Vcc
-12V	39	40	+12V

GND	2	1	GND
1PA3	4	3	NC
1PA2	6	5	1PA1
1PA0	8	7	CLK0
OUT0	10	9	G0
CLK2	12	11	OUT2
G2	14	13	CLK1
G1	16	15	OUT1
1PA4	18	17	1PA5
1PA6	20	19	1PA7
1PC7	22	21	1PC6
1PC5	24	23	1PC4
1PC0	26	25	1PC1
1PC2	28	27	1PB7
1PC3	30	29	1PB6
1PB0	32	31	1PB5
1PB1	34	33	1PB4
1PB2	36	35	1PB3
-5V	38	37	Vcc
-12V	40	39	+12V

Bitte beachten Sie, dass bei der Ein-/Ausgabe-Karte PC8255 die Zählweise des Steckers anders ist. Entgegen der deutschen Norm, wie sie bei der WITIO-48_{EXTENDED} Anwendung findet, ist bei der PC8255 Pin 1 am Pfostenstecker oben.

4.6 Steckerbelegung des Kompatibilitätssteckers P4

Dem Pfostenstecker P4 sind die I/O-Anschlüsse des zweiten PIO-Bausteins zugeführt. Der Kompatibilitätsstecker P4 der WITIO-48_{EXTENDED} ist kompatibel zu CN2 der PC8255. Die Gegenüberstellung der beiden Stecker entnehmen Sie bitte den nun folgenden Abbildungen.

GND	1	2	GND
NC	3	4	NC
NC	5	6	NC
NC	7	8	NC
NC	9	10	NC
NC	11	12	NC
2PA1	13	14	2PA0
2PA3	15	16	2PA2
2PA5	17	18	2PA4
2PA7	19	20	2PA6
2PC6	21	22	2PC7
2PC4	23	24	2PC5
2PC1	25	26	2PC0
2PB7	27	28	2PC2
2PB6	29	30	2PC3
2PB5	31	32	2PB0
2PB4	33	34	2PB1
2PB3	35	36	2PB2
-5V	37	38	Vcc
-12V	39	40	+12V

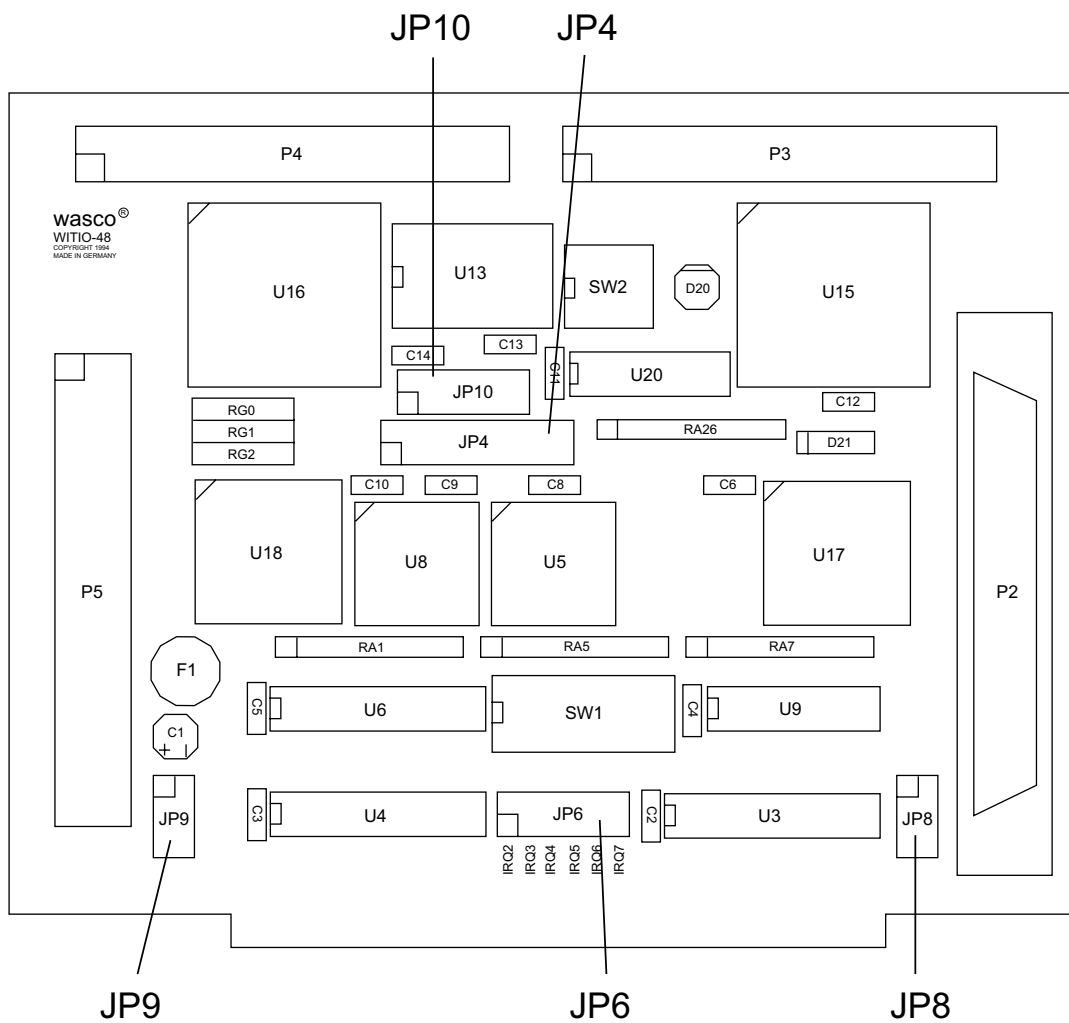
GND	2	1	GND
NC	4	3	NC
NC	6	5	NC
NC	8	7	NC
NC	10	9	NC
NC	12	11	NC
2PA1	14	13	2PA0
2PA3	16	15	2PA2
2PA5	18	17	2PA4
2PA7	20	19	2PA6
2PC6	22	21	2PC7
2PC4	24	23	2PC5
2PC1	26	25	2PC0
2PB7	28	27	2PC2
2PB6	30	29	2PC3
2PB5	32	31	2PB0
2PB4	34	33	2PB1
2PB3	36	35	2PB2
-5V	38	37	Vcc
-12V	40	39	+12V

4.7 WITIO-48_{EXTENDED} - PC8255/Steckergegenüberstellung

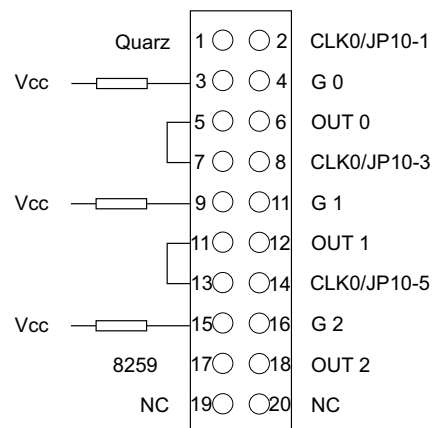
WITIO-48		PC8255	
2	40	1	39
40poliger Pfostenstecker		40poliger Pfostenstecker	
1	39	2	40

5. Jumperblöcke

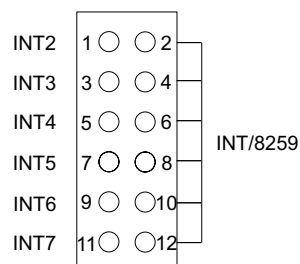
5.1 Lage der Jumperblöcke auf der Platine



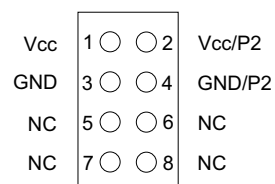
5.2 Signalbelegung von JP4



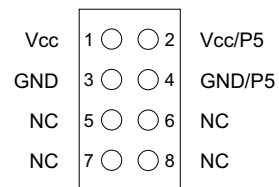
5.3 Signalbelegung von JP6



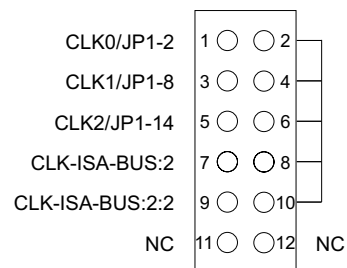
5.4 Signalbelegung von JP8



5.5 Signalbelegung von JP9



5.6 Signalbelegung von JP10



6. 48-Kanal-Ein-/Ausgabe (8255)

Zur Ein-/Ausgabe sind auf der WITIO-48_{EXTENDED} zwei Schnittstellen-Bausteine vom Typ 8255 vorhanden.

Der PIO-Baustein 8255 ist ein programmierbarer Mehrzweck-Ein-/Ausgabe-Baustein. Er hat 24 Ein-/Ausgabeanschlüsse, die in zwei Gruppen von je zwölf Anschlüssen getrennt programmierbar sind und im wesentlichen in drei Betriebsarten benutzt werden können.

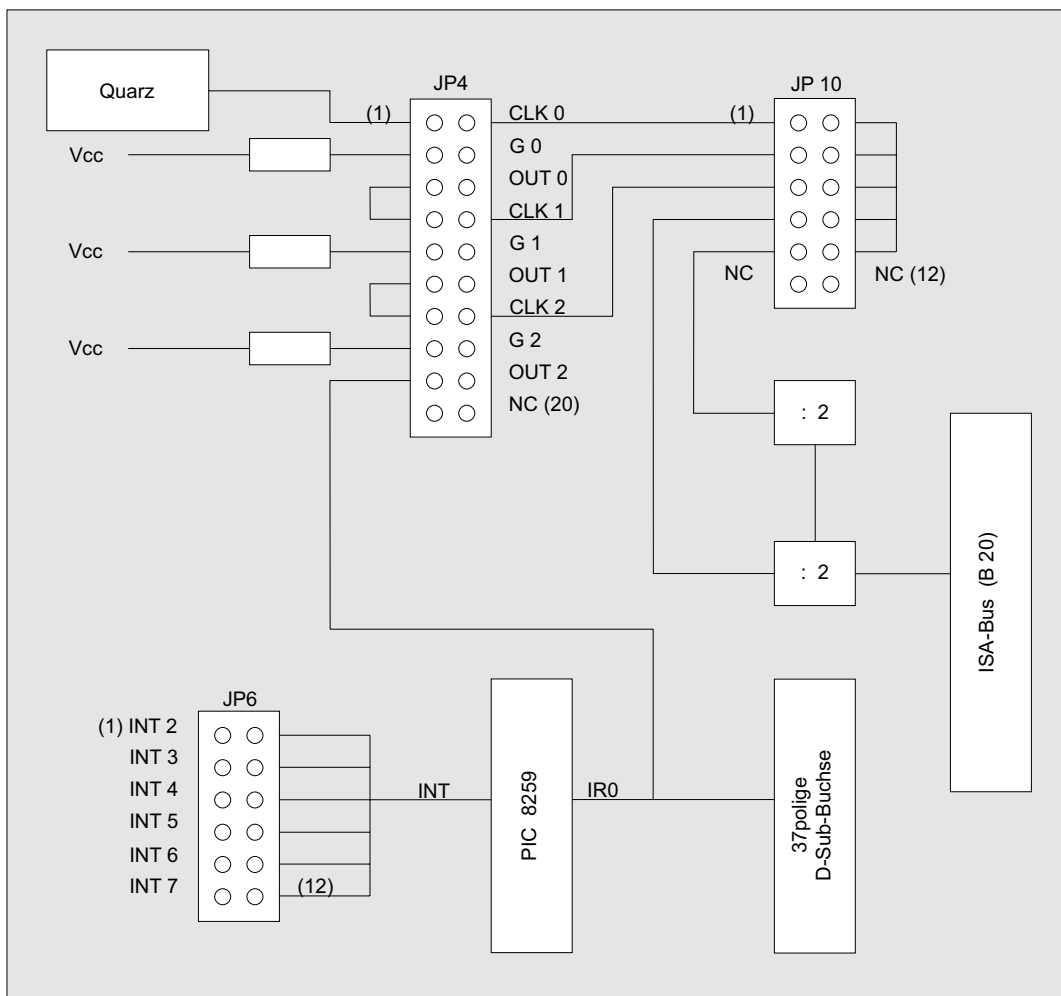
In der ersten Betriebsart (Betriebsart 0) kann jede Gruppe von zwölf Ein-/Ausgabeanschlüssen in Abschnitten von acht bzw. vier Anschlüssen als Eingang oder Ausgang programmiert werden.

In der zweiten Betriebsart (Betriebsart 1) können acht Leitungen von jeder Gruppe als Eingang oder Ausgang programmiert werden. Von den verbleibenden vier Anschlüssen werden drei für den Austausch von Quittungen und für Unterbrechungs-Steuersignale verwendet.

Die dritte Betriebsart (Betriebsart 2) kann als Zweiweg-Bus-Betriebsart bezeichnet werden. Hier werden acht Anschlüsse für einen Zweiweg-Bus eingesetzt. Die fünf weiteren Anschlüsse, von denen einer zur anderen Gruppe gehört, werden in diesem Fall für den Quittungsaustausch benutzt. Außerdem ist das direkte Setzen und Rücksetzen einzelner Bits möglich.

7. 3 * 16 Bit Zähler

Der Timerbaustein 8254 der WITIO-48_{EXTENDED} enthält drei unabhängig voneinander arbeitende 16-Bit-Abwärtszähler, die in vielfältigen Zeitgeber-, Zähler- und Steuer-Anwendungen eingesetzt werden können. Die Takt- und Steuer-Eingänge, sowie die Zähler-Ausgänge sind auf Pfostenstecker P5 herausgeführt.



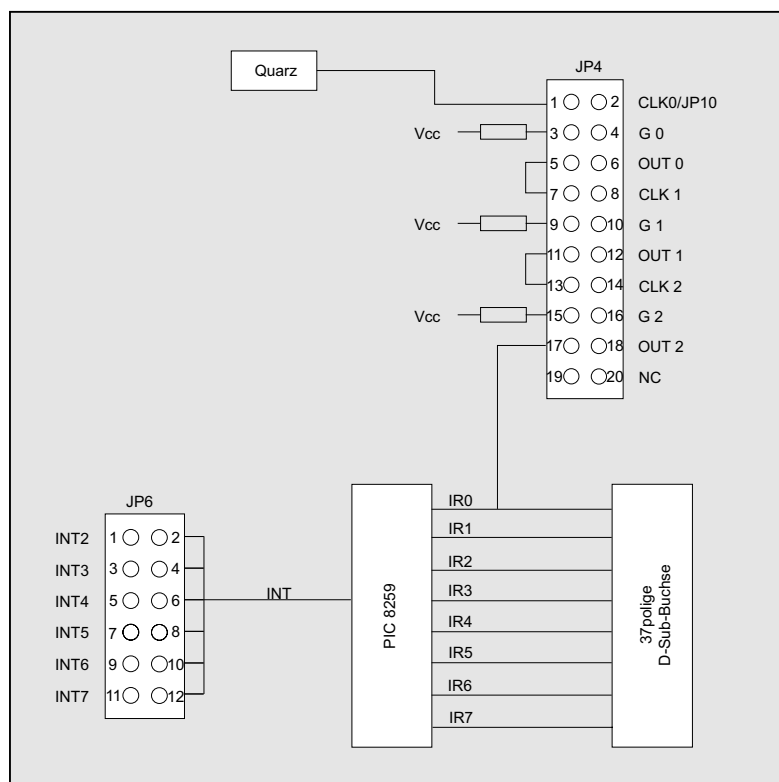
Über den Jumperblock JP4 können die drei Zähler in Reihe geschaltet, der Takteingang von Timer 0 mit dem 4MHz-Quarzoszillator verbunden, sowie die Gate-Steuereingänge über Strombegrenzungswiderstände auf "High" gelegt werden.

Über den Kompatibilitätsjumperblock JP10 kann der interne Rechner-Takt, wie bei der PC8255 (A-1210) auf die Takteingänge CLK0, CLK1 und CLK2 der Zähler gelegt werden. Dazu müssen an JP4 alle Jumperbrücken gezogen werden. Am Jumperblock JP10 müssen Jumper über die Pins 1-2, 3-4, 5-6 und 9-10 gesetzt werden.

Die Programmierung des Timerbausteins 71054 ist in Anhang A, sowie innerhalb der Beispielprogramme erläutert.

8. Interrupt-System

Das Interruptsystem der WITIO-48 lässt sich durch folgendes Blockschaltbild veranschaulichen:



Kernstück des Interruptsystems der WITIO-48_{EXTENDED} ist ein Prioritäts-Interrupt-Controller vom Typ 8259, der Unterbrechungsanforderungen von seinen acht Eingängen an einen der Interrupt-Eingänge des Rechners weiterleitet. Die Auswahl dieses Rechner-IRQ's erfolgt über Jumperblock JP6. An die Eingänge des Interrupt-Controllers können entweder die Eingänge IR0..IR7 der D-Sub-Buchse P2, oder der Ausgang des Timerbausteins OUT2 zusammen mit den Eingängen IR1..IR7 gelegt werden. Der Timerausgang OUT2 wird durch Setzen eines Jumpers über Pin 17-18 an den Eingang des PIC's gelegt. Dabei darf der IR0 Eingang der D-Sub-Buchse P2 nicht belegt werden.

8.1 Interrupteingänge / PIC 8259

Der PIC 8259 der WITIO-48_{EXTENDED} ordnet aufgrund seiner Programmierung die Unterbrechungsanforderungen an seinen Eingängen IR0 bis IR7 nach Prioritäten, stellt fest, ob die Interrupt-Quelle überhaupt zugelassen ist und leitet die jeweils höchstprioräre Anfrage über die ausgewählte IRQ-Leitung an die CPU weiter. Für alle acht Interrupt-Eingänge existiert ein gemeinsamer Interruptvektor, der auf die gemeinsame Interrupt-Service-Routine zeigt. Innerhalb dieser Interrupt-Service-Routine kann dann durch Abfrage-Betrieb (Polling) die Prioritätsebene des anfordernden Interrupts festgestellt und in die entsprechende Unteroutine des Interrupt-Service-Programmes verzweigt werden.

8.2 Grundeinstellungen

Auswahl der Interrupt-Eingänge

IR0..IR7:

Jumperbrücke über Pin 17-18 an JP4 gezogen (offen)

OUT2+IR1..IR7:

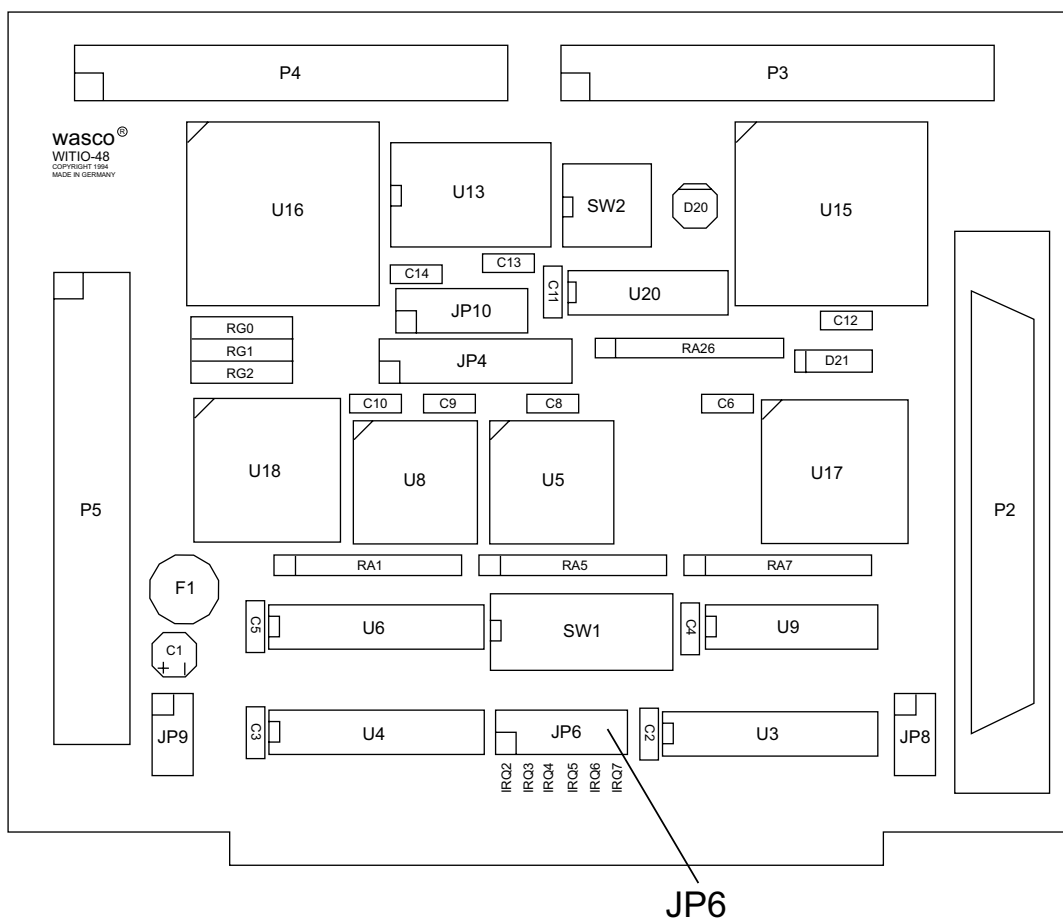
Jumperbrücke über Pin 17-18 an JP4 gesetzt, IR0 an D-Sub-Buchse P2 offen

Auswahl des zu bedienenden Rechner-IRQ's

Die Auswahl des zu bedienenden IRQ-Eingangs des Rechners erfolgt über die Jumperstellung von JP6 auf der Platine.

Bitte beachten Sie:

An JP6 darf nur ein Jumper gesteckt sein!



Es darf ausschließlich einer derjenigen IRQ-Eingänge des Rechners gewählt werden, der aufgrund der Hardware Konfiguration des PC's noch mit keiner Funktion bedacht wurde.

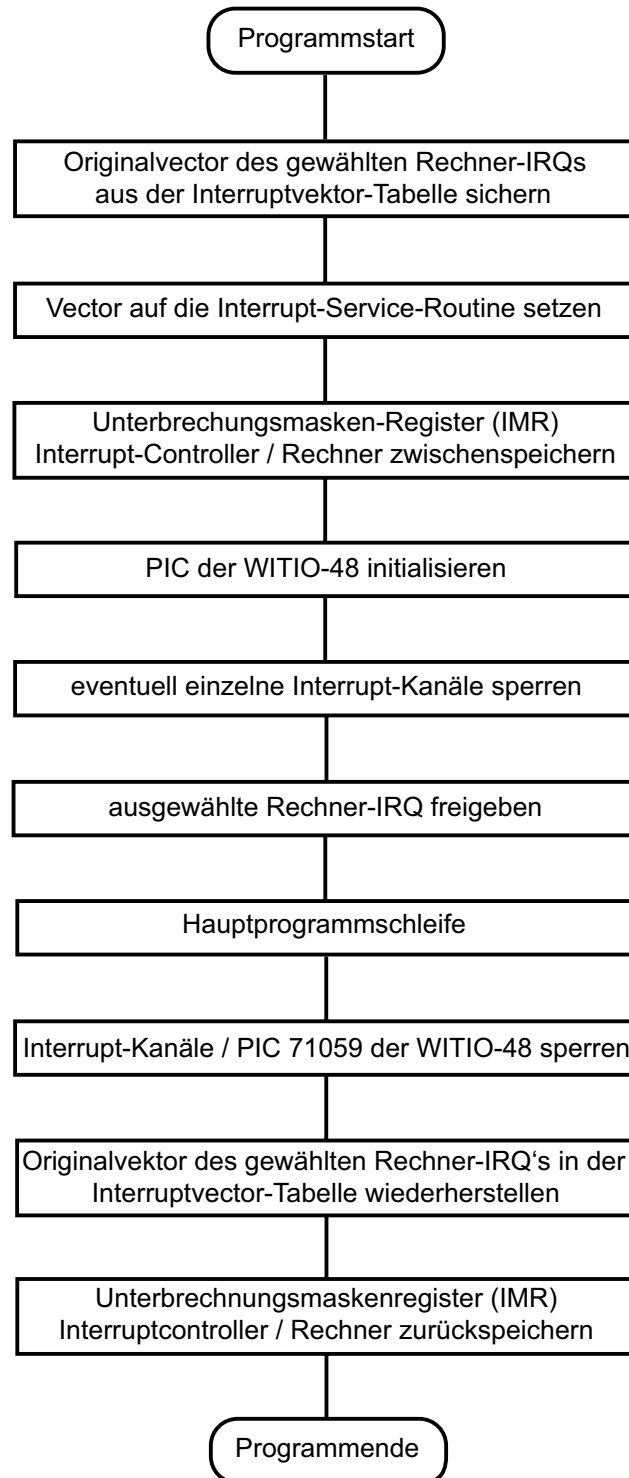
Oft ist dies bei IRQ3/serielle Zusatzschnittstelle der Fall. In der folgenden Tabelle sind die Funktionen der Hardware-Interrupts von XT- und AT-kompatiblen Rechnern dargestellt.

Eingang	INT-Nr.	Funktion
IRQ2	0AH	Grafikkarte (XT), 2ter 8259 (AT)
IRQ3	0BH	2. serielle Schnittstelle
IRQ4	0CH	1. serielle Schnittstelle
IRQ5	0DH	Festplatten-Controller (XT) 2. parallele Schnittstelle
IRQ6	0EH	Disketten-Controller (XT) Disketten-/Festplatten-Controller (AT)
IRQ7	0FH	1. parallel Schnittstelle

8.3 Grundlegendes zur Interrupt-Programmierung mit der WITIO-48_{EXTENDED}

In diesem Kapitel wird auf einige von der Programmiersprache unabhängige Einzelheiten der Interrupt-Programmierung eingegangen. Sprachenspezifische Erläuterungen können Sie den Beispielprogrammen entnehmen. Bezüglich der allgemeinen Problematik bei der Interrupt-Programmierung verweisen wir auf die Handbücher der jeweiligen Compiler bzw. Interpreter.

Programme zur Nutzung der Interrupt-Eingänge der WITIO-48 sollten an die in folgender Abbildung dargestellte Ablauf-Struktur angelehnt sein:



Vektor auf die Interrupt-Service Routine

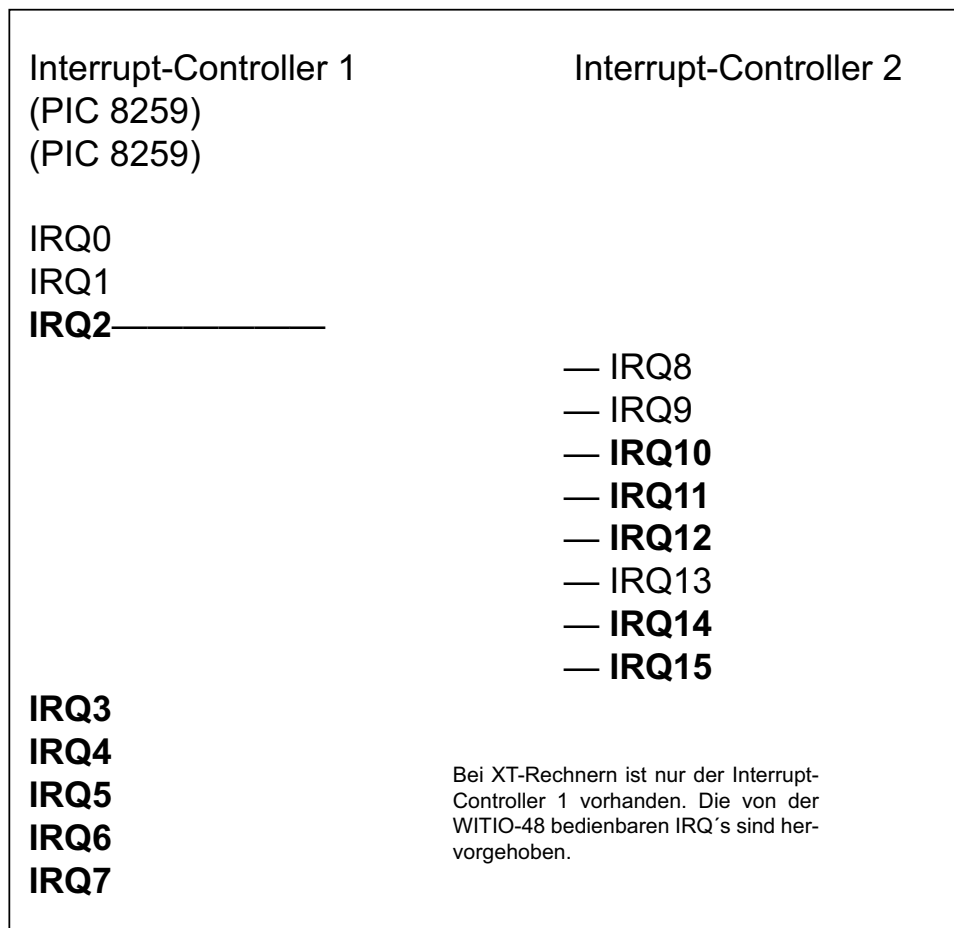
Nach seiner Initialisierung leitet der Interrupt-Controller der WITIO-48_{EXTENDED} die an seinen Eingängen anliegenden Interrupt-Anforderungen an den mittels Jumper JP6 ausgewählten Rechner-IRQ-Eingang weiter. Über den Interrupt-Controller des Rechners wird die Anforderung an die CPU weitergeleitet. In der Interrupt-Tabelle des Systemspeichers befindet sich an der Stelle des zur Bedienung ausgewählten Interrupts ein Vektor, der auf die Interrupt-Service-Routine zeigt.

Eingang	INT-Nr.	Adresse
IRQ2	0AH	028 - 02B
IRQ3	0BH	02C - 02F
IRQ4	0CH	030 - 033
IRQ5	0DH	034 - 037
IRQ6	0EH	038 - 03B
IRQ7	0FH	03C - 03F

Wird beispielsweise IRQ3 des Rechners als zu bedienender Eingang gewählt, so muss sich in den Speicherzellen mit den Adressen 02C-02F ein Zeiger auf die vom Anwender definierte Interrupt-Service-Routine, die bei Interrupt-Anforderungen am PIC der WITIO-48_{EXTENDED} angesprungen werden soll, befinden. Während des Programmablaufes muss also vor der Freigabe der Interrupteingänge der Vektor auf die I-S-Routine gesetzt werden.

Freigabe des Rechner-IRQ's

Da die Unterbrechungsanforderungen über den (oder die) Interrupt-Controller des Rechners weitergeleitet werden, muss auch dafür gesorgt werden, dass der Interrupt-Eingang des Rechner-PIC's freigegeben ist. Üblicherweise haben die Interrupt-Controller der PC's folgende Belegung:



Die Freigabe des gewünschten Rechner-IRQ's erfolgt durch Ausblenden ("0"-Setzen) des betreffenden Masken-Bits im Unterbrechungs-Anforderungs-Register (IMR) des betreffenden Interrupt-Controllers.

Inhalt des IMR-Register von PIC1:

M_IRQ7	M_IRQ6	M_IRQ5	M_IRQ4	M_IRQ3	M_IRQ2	M_IRQ1	M_IRQ0
--------	--------	--------	--------	--------	--------	--------	--------

Die IMR-Register des Rechner-PIC's haben folgende Port-Adressen:

Interrupt-Controller 1: 021h

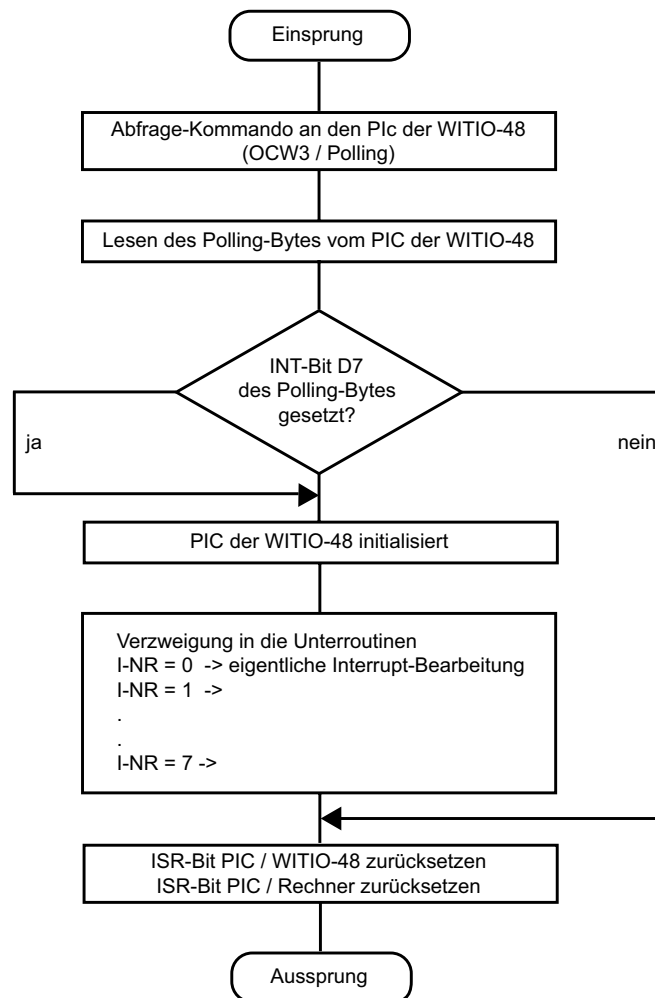
Interrupt-Controller 2: 0A1h

Die Freigabe von IRQ3 erreicht man beispielsweise durch:

```
pic1_imr:=port[$21];  
port[$21]:=pic1_imr and $F7;
```

Interrupt-Service-Routine

Interrupt-Service-Routinen für die WITIO-48_{EXTENDED} sollten wie folgt aufgebaut sein:



Das Abfrage-Kommando, das Format des Polling-Bytes, sowie das Zurücksetzen des ISR-Bits des PIC der WITIO-48 sind im nächsten Kapitel beschrieben.

Das Rücksetzen des ISR-Bits des Rechner-PIC´s erfolgt durch EOI-Kommando an folgende Port-Adresse:

Interrupt-Controller 1: 020h

Beispiel: gewählter IRQ: IRQ3

port[\$20]:= \$20; -> ISR-Bit von PIC1 zurückgesetzt

8.4 Programmierung des PIC 8259 der WITIO-48_{EXTENDED}

In diesem Kapitel werden die wichtigsten (für die WITIO-48_{EXTENDED} sinnvollen) Initialisierungs- und Steuer-Kommandos des PIC 8259 beschrieben. Die Formatangaben der Steuerworte sind zur besseren Übersichtlichkeit teilweise in einer reduzierten Form angegeben. Dem beiliegenden Anhang B können weitere Einzelheiten der vielfältigen Möglichkeiten des Controller-Bausteins entnommen werden.

Der PIC 8259 übernimmt 2 Arten von Kommandoworten:

- Initialisierungsworte (ICW´s)
- Steuerworte (OCW´s)

Die ICW´s bzw. OCW´s werden dem PIC 8259 der Interfacekarte WITIO-48_{EXTENDED} mit Hilfe von Port-Befehlen über die I/O-Adressen übermittelt.

Die einzelnen Initialisierungs- bzw. Steuerworte sind an folgende Portadressen zu schicken:

ICW1 ->	Port[PIC-IRR-ISR]	(-> Basisadresse + 0CH)
ICW2 ->	Port[PIC-IMR]	(-> Basisadresse + 0DH)
ICW4 ->	Port[PIC-IMR]	(-> Basisadresse + 0DH)
OCW1->	Port[PIC-IMR]	(-> Basisadresse + 0DH)
OCW2->	Port[PIC-IRR-ISR]	(-> Basisadresse + 0CH)
OCW3->	Port[PIC-IRR-ISR]	(-> Basisadresse + 0CH)

Initialisierung des PIC 8259

Vor seinem Einsatz als Interrupt-Controller muss der PIC 8259 der WITIO-48_{EXTENDED} durch zwei aufeinanderfolgende ICW's (ICW1 und ICW2) initialisiert werden.

ICW1:

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	1	LTIM	0	1	0

Das Bit LTIM (Level Trigger Mode) legt fest, ob die Interruptauslösung durch die steigende Flanke (LTIM = 0) oder den High-Pegel (LTIM= 1) eines Signals an den Eingängen IR0..IR7 ausgelöst wird.

Flanken-Triggerung ->ICW1 = 012H

In dieser Betriebsart wird eine Unterbrechungs-Anforderung durch einen negativen Impuls (typisch >100ns) oder durch eine ansteigende Flanke mit anschließendem H-Pegel bis zur Quittung durch den Prozessor generiert.

Pegel-Triggerung

->ICW1 = 01AH

In der Betriebsart "pegelgetriggert" ist keine Flanke erforderlich;
die IR-Eingänge des PIC´s reagieren hierbei auf einen H-Pegel.

ICW2: ICW2 = 0

ICW2 signalisiert dem PIC 8259 der WITIO-48_{EXTENDED} lediglich den Abschluss der Initialisierung und hat ansonsten keine weitere Bedeutung.

Nach seiner Initialisierung befindet sich der Interrupt-Controller in der Betriebsart "Fully Nested Mode". In dieser Betriebsart sind die Unterbrechungsanforderungen einer festen Priorität zugeordnet. Dabei hat die Interrupt-Quelle am Eingang IR0 die höchste Priorität und die an IR7 die niedrigste.

Die Zuordnung der Priorität kann aber während des Programmablaufes durch geeignete OCW2 geändert werden.

Steuerung des PIC 8259

Nach seiner Initialisierung erfolgt die Steuerung des PIC 8259 durch die OCW's 1, 2 und 3.

OCW1:

D7	D6	D5	D4	D3	D2	D1	D0
M7	M6	M5	M4	M3	M2	M1	M0

Mit Hilfe von OCW1 können einzelne Interrupt-Eingänge deaktiviert ("maskiert") werden, je nachdem, welche der Bits M0 bis M7 auf logisch "1" gesetzt sind.

OCW1 = 01h sperrt beispielsweise die Leitung IR0

OCW2:

D7	D6	D5	D4	D3	D2	D1	D0
0	SE01	1	0	0	L2	L1	L0

Das Steuerwort OCW2 ist bei der WITIO-48_{EXTENDED} zum Rücksetzen des ISR-Bits des gerade bearbeiteten Interrupts am Ende der Interrupt-Service-Routine notwendig.

Die ersten beiden hier erläuterten OCW2 sind reine EOI (End Of Interrupt) - Kommandos.

Non Specific EOI-Command

OCW2 =

D7	D6	D5	D4	D3	D2	D1	D0
0	0	1	0	0	X	X	X

(OCW2 = 020h)

X=beliebig

Dieses OCW2 bewirkt, dass derjenige Interrupt im PIC zurückgesetzt wird, der als letzter an die CPU weitergeleitet wurde.

Specific EOI-Command

OCW2 =

D7	D6	D5	D4	D3	D2	D1	D0
0	0	1	0	0	L2	L1	L0

Hiermit wird der in L0 bis L2 zu spezifizierende Interrupt zurückgesetzt.

<u>L2</u>	<u>L1</u>	<u>L0</u>	<u>Interrupt:</u>
0	0	0	IR0
0	0	1	IR1
0	1	0	IR2
0	1	1	IR3
1	0	0	IR4
1	0	1	IR5
1	1	0	IR6
1	1	1	IR7

Die nächsten beiden OCW's sind ebenfalls als EOI-Kommandos ausgelegt und regeln zusätzlich die Prioritäten der Interrupt-Quellen an den IR-Eingängen.

Automatic Rotation

(Rotate on Non-Specific EOI-Command)

R = 1

OCW2 =

D7	D6	D5	D4	D3	D2	D1	D0
1	0	1	0	0	X	X	X

(OCW2 = 0A0h)

X = beliebig

Die Ausgabe dieses OCW's veranlasst, dass der Interrupt, der der CPU zuletzt weitergeleitet wurde, rückgesetzt wird und die niedrigste Priorität erhält. Die Priorität kann sich also von Interrupt zu Interrupt ändern. Diesen Modus wählt man, wenn man gleichberechtigte Interrupt-Quellen hat, die in einer bestimmten zeitlichen Abfolge alle registriert werden sollen.

Specific Rotation

(Rotate on Specific EOI-Command)

R = 1

SEOI = 1

OCW2 =

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	0	0	L2	L1	L0

Hiermit wird der in L0 bis L2 zu spezifizierende Interrupt zurückgesetzt und erhält die niedrigste Priorität. Diese ändert sich erst wieder nach einem anderen OCW2 - OCW4 bzw. nach einer erneuten Initialisierung.

<u>L2</u>	<u>L1</u>	<u>L0</u>	<u>Interrupt:</u>
0	0	0	IR0
0	0	1	IR1
0	1	0	IR2
0	1	1	IR3
1	0	0	IR4
1	0	1	IR5
1	1	0	IR6
1	1	1	IR7

OCW3 =

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	P	0	0

Das Steuerwort OCW3 dient bei der WITIO-48_{EXTENDED} zur Ausgabe des Polling-Kommandos am Anfang der Interrupt-Service-Routine.

Polling Command

P = 1

OCW3 =

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	1	1	0	0

(OCW3 = 0Ch)

Der PIC 8259 behandelt den nächsten Lesevorgang als Unterbrechungsquittung, setzt das entsprechende ISR-Flipflop, wenn eine Anforderung vorliegt und bestimmt die Prioritätsebene. Im Pollingbetrieb muss dieses OCW3 vor jedem Lesen ausgegeben werden.

Durch das Lesen von der Portadresse des IRR-ISR-Registers (-> Basisadresse + 0Ch) erhält man vom PIC als Antwort ein Polling-Byte mit folgendem Format:

Polling-Byte:

D7	D6	D5	D4	D3	D2	D1	D0
INT	X	X	X	X	W2	W1	W0

Ist INT=0, so war die Unterbrechungsanforderung zu kurz! Der PIC gibt dann gleichzeitig W2=W1=W0=1 aus.

Ist INT=1, so liegt eine Unterbrechungsanforderung vor. Mittels W2, W1 und W0 erhält man den BCD-Code der höchsten unterbrechungsanfordernden Ebene.

<u>W2</u>	<u>W1</u>	<u>W0</u>	<u>Interrupt an:</u>
0	0	0	IR0
0	0	1	IR1
0	1	0	IR2
0	1	1	IR3
1	0	0	IR4
1	0	1	IR5
1	1	0	IR6
1	1	1	IR7

Zu den Prioritäten-Regelungen muss noch gesagt werden, dass, solange eine höherpriore Interrupt-Anfrage vorliegt, ein in der Priorität darunterliegender Interrupt nicht bearbeitet wird. Normalerweise wird die Abarbeitung einer Interrupt-Routine von einem höherprioren Interrupt ebenfalls nicht unterbrochen, da beim Einsprung in die Interrupt-Bearbeitung das Interrupt-Flag im Statusregister der CPU zurückgesetzt wird. Durch Setzen des Interrupt-Flags innerhalb der Interrupt-Service-Routinen können diese jedoch unterbrechbar gemacht werden.

Setzen des Interrupt-Flags:

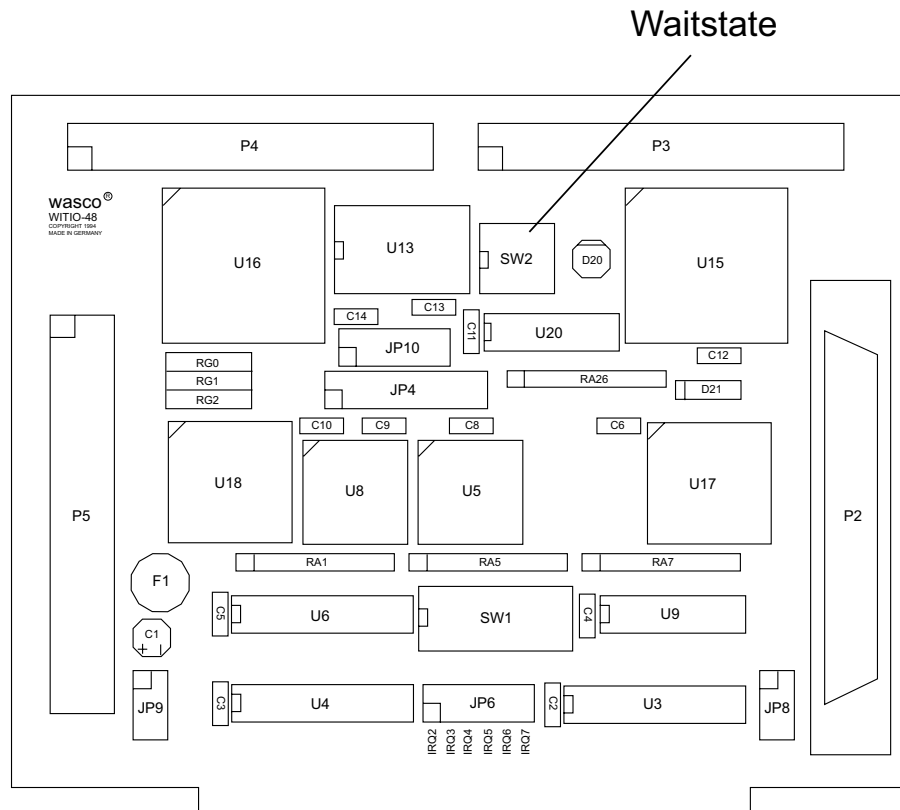
Assembler: STI
Turbo-Pascal: inline (\$FA);
C: enable ();

Rück-Setzen des Interrupt-Flags:

Assembler: CLI
Turbo-Pascal: inline (\$FB);
C: disable ();

Hierbei ist jedoch darauf zu achten, dass unterbrechbare I-S-Routinen nur mit spezifischen EOI-Kommandos beendet werden dürfen, da sonst eventuell das falsche ISR-Bit zurückgesetzt wird. Desweiteren darf das Interrupt-Flag erst nach dem Polling-Kommando und dem Zwischenspeichern des Polling-Bytes (in eine lokale Variable!) gesetzt werden, da die Interrupt-Bearbeitung ansonsten gehörig durcheinanderkommt.

9. Waitstategenerator



Standardmäßig wird der I/O-Bus mit 8 MHz Taktfrequenz und 2 Waitstates betrieben. Manche Computer arbeiten jedoch mit höheren Taktraten. In den meisten Fällen können bei diesen Rechnern jedoch im Setup Waitstates eingestellt werden. Jedoch haben diese Waitstates den Nachteil, dass Sie bei jeglichen Zugriffen im Portbereich den Computer zurückbremsen. Bei manchen Zusatzkarten ist dies nötig, bei anderen nicht. Aus diesem Grund hat die Interfacekarte WITIO-48_{EXTENDED} einen eigenen Waitstategenerator, der den Computer nur bei Zugriffen auf die Adressen der WITIO-48_{EXTENDED} bremst. Dies ist jedoch nur bei sehr schnellen Rechnern nötig, bei denen der I/O-Bereich nicht asynchron mit 8 MHz betrieben wird.

Sie können zwischen 4, 8 und 16 Waitstates wählen. Entnehmen Sie bitte die passende Einstellung der folgenden Tabelle:

Waitstates	S1	S2	S3	S4
keine	OFF	OFF	OFF	OFF
4	ON	OFF	OFF	OFF
8	OFF	ON	OFF	OFF
16	ON	ON	OFF	OFF
keine	OFF	OFF	ON	OFF

10. Programmierung

10.1 Hinweise zur Programmierung der WITIO-48_{EXTENDED}

Um Ihnen das Programmieren der **wasco**® Interface Karte WITIO-48_{EXTENDED} zu erleichtern, haben wir für Sie Beispielprogramme in GW-Basic, Power-Basic, Quick-Basic, Turbo-C und Turbo-Pascal erstellt. Die Programme sind mit Erklärungen versehen, so dass Sie das Ansprechen der Interfacebausteine nachvollziehen können. Diese Beispielprogramme finden Sie im Quellcode in den entsprechenden Unterdirectories auf dem beiliegenden Datenträger.

Directory:

TP	- Programme in Turbo-Pascal
TC	- Programme in Turbo-C
GWBasic	- Programme in GW-Basic
PBasic	- Programme in Power-Basic
QBasic	- Programme in Quick-Basic
COM	- Speicherres. COM-File

Außerdem ist die aktuelle Software dieser Karte auch im Internet unter <http://www.wasco.de> zum Download verfügbar.

Vorsicht:

Um unnötige Rechnerabstürze zu vermeiden, sollten Sie die Erklärungen zu den jeweiligen Programmen vor dem Programmstart aufmerksam durchlesen. Dies gilt insbesondere für die Interruptroutinen und die COM-Treiber.

10.2 Zuordnung der Portadressen

Adresse		Belegung
Basisadresse	Offset	
BA	+ 0	PIO1-PortA - Schreib-Lesebuffer
BA	+ 1	PIO1-PortB - Schreib-Lesebuffer
BA	+ 2	PIO1-PortC - Schreib-Lesebuffer
BA	+ 3	PIO1 - Controll-Register
BA	+ 4	PIO2-PortA - Schreib-Lesebuffer
BA	+ 5	PIO2-PortB - Schreib-Lesebuffer
BA	+ 6	PIO2-PortC - Schreib-Lesebuffer
BA	+ 7	PIO2 - Controll-Register
BA	+ 8	Zähler0 - Schreib-Lesebuffer
BA	+ 9	Zähler1 - Schreib-Lesebuffer
BA	+ A	Zähler2 - Schreib-Lesebuffer
BA	+ B	Timer - Controll-Register

Bei Default-Basisadresse 220h (SW1) ergibt sich z.B. folgender Adressbereich:

220h	Port1A - Schreib-Lesebuffer	(8255 - U15)
221h	Port1B - Schreib-Lesebuffer	(8255 - U15)
222h	Port1C - Schreib-Lesebuffer	(8255 - U15)
223h	Port1 - Controll-Register	(8255 - U15)
224h	Port2A - Schreib-Lesebuffer	(8255 - U16)
225h	Port2B - Schreib-Lesebuffer	(8255 - U16)
226h	Port2C - Schreib-Lesebuffer	(8255 - U16)
227h	Port2 - Controll-Register	(8255 - U16)
228h	Zähler0 - Schreib-Lesebuffer	(8254 - U18)
229h	Zähler1 - Schreib-Lesebuffer	(8254 - U18)
22Ah	Zähler2 - Schreib-Lesebuffer	(8254 - U18)
22Bh	Controll-Register	(8254 - U18)
22Ch	PIC-IRR-ISR	(8259 - U17)
22Dh	PIC-IMR	(8259 - U17)

Schalterstellung für die Kompatibilitätsadresse zur PC 8255 (A-1210)

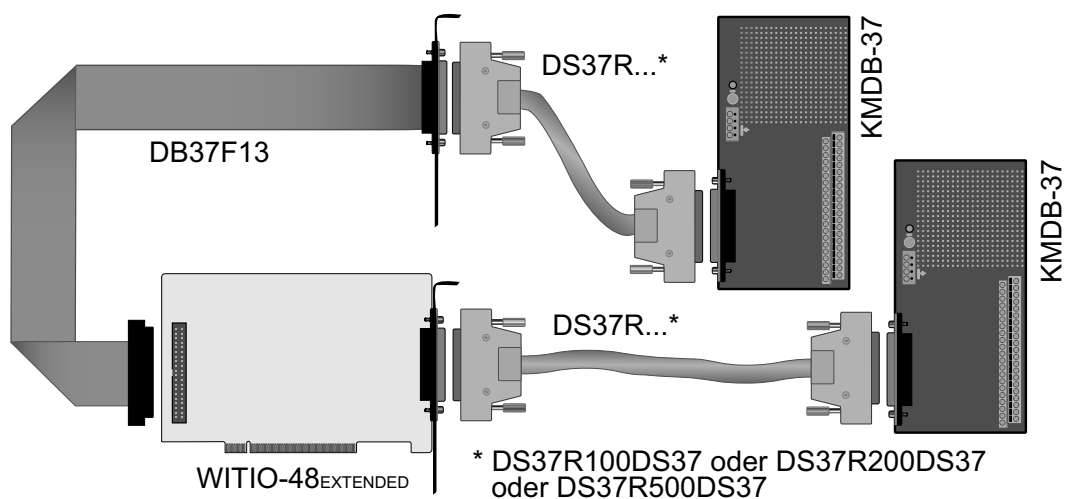
Schalter SW 1/ Basisadresse	1 A4	2 A5	3 A6	4 A7	5 A8	6 A9	7 A10	8 A11
1 B0H	OFF	OFF	ON	OFF	OFF	ON	ON	ON

11. Zubehör

11.1 Passendes **wasco®**-Zubehör

Anschlusssteile	EDV-Nr.
DB37F13 Steckerverlegungsset	A-1974
KMDB-37 Klemm-Modul	A-2046
DS37R100 Anschlussleitung	A-199802
DS37R100DS37 Verbindungsleitung	A-202200
DS37R200DS37 Verbindungsleitung	A-202400
DS37R500DS37 Verbindungsleitung	A-202800

11.2 Anschlusstechnik (Anwendungsbeispiel)



11.3 Einzelkomponenten zur Eigenkonfektionierung

Einzelkomponenten	EDV-Nr.
DSS37L D-Sub-Stecker 37pol. für Lötanschluss	A-5506
DSH37L D-Sub-Haube 37pol. Stecker (Lötanschluss)	A-5586
DSS37F D-Sub-Stecker 37pol. für Flachbandleitung	A-5526
DSB37F D-Sub-Buchse 37pol. für Flachbandleitung	A-5566
DA37I Slotblech mit Ausschnitt für 37pol. Stecker/Buchse	A-5754
PBZ40F Pfostenbuchse 40pol. für Flachbandleitung	A-5642
FBL37 Flachbandleitung 37pol.	A-5718
FBL40 Flachbandleitung 40pol.	A-5720

12. Fehlersuche

Im folgenden finden Sie eine kurze Zusammenstellung der häufigsten, bekannten Fehlerursachen, die während der Inbetriebnahme oder während der Arbeit mit der WITIO-48_{EXTENDED} auftauchen können.

Prüfen Sie bitte zunächst folgende Punkte, bevor Sie mit Ihrem Händler Kontakt aufnehmen, denn wir hoffen, dass sich damit bereits der größte Teil Ihrer Probleme lösen lässt.

1. Sitzt die WITIO-48_{EXTENDED} richtig in der Steckverbindung?
2. Ist die Basisadresse, der WITIO-48_{EXTENDED} richtig eingestellt?
3. Wurden die Adressen in der Software an die Basisadresse der WITIO-48_{EXTENDED} angepasst?
4. Liegen andere Interfacekarten auf dem gleichen Adressbereich?
5. Hat die Sicherung (F1) der WITIO-48_{EXTENDED} angesprochen?
6. Sind alle Kabelverbindungen in Ordnung?
7. Wurde die neueste Treiberversion des **wasco**[®] Treibers installiert?
Updates finden Sie unter: <http://www.messcomp.com>
<http://www.wasco.de>

13. Technische Daten

Digitale Ein/Ausgänge TTL

Bausteine: 2 *8255 oder 71055

Kanäle: 48, TTL-kompatibel

Jeder Baustein ist organisiert in Port A, Port B und Port C

Port A und B sind in 8-Bit-Gruppen, Port C ist in einer 8-Bit-Gruppe oder in zwei 4-Bit-Gruppen als Ein- oder Ausgänge programmierbar

Interruptcontroller

Baustein: 8259A oder 71059

8 programmierbare Kanäle

Übergabe der Interrupts auf IRQ2 bis IRQ7 des Rechners mit Jumper wählbar

Timer

Baustein: 8254 oder 71054

3 * 16 Bit Abwärtszähler

Zählfrequenz: max. 8 MHz

Zeitabhängige Interruptauslösungen

Takt intern vom Quarzoszillator oder extern über Jumper wählbar

Quarzoszillator

4 MHz

Waitstategenerator

Waitstate 4, 8, 16 über Dip-Schalter einstellbar

Anschlusstecker

1 * 37polige D-Sub-Buchse

1 * 40poliger Pfostenstecker

2 * 40polige Pfostenstecker (Kompatibilitätsstecker zur PC-8255)

Sicherung

+ 5 V 1 A Miniatorsicherung F1

Stromverbrauch

+ 5 V typ. 250 mA

Sonstige technische Daten

Abmessungen: 130 mm x 100 mm (l x h)

Platinenaufbau: 4lagige Multilayer-Platine

Sicherung für Spannungsversorgung

LED zur Spannungskontrolle

Alle IC-Fassungen mit vergoldeten Kontakten

14. Produkthaftungsgesetz

Hinweise zur Produkthaftung

Das Produkthaftungsgesetz (ProdHaftG) regelt die Haftung des Herstellers für Schäden, die durch Fehler eines Produktes verursacht werden.

Die Verpflichtung zu Schadenersatz kann schon gegeben sein, wenn ein Produkt aufgrund der Form der Darbietung bei einem nichtgewerblichen Endverbraucher eine tatsächlich nicht vorhandene Vorstellung über die Sicherheit des Produktes erweckt, aber auch wenn damit zu rechnen ist, dass der Endverbraucher nicht die erforderlichen Vorschriften über die Sicherheit beachtet, die beim Umgang mit diesem Produkt einzuhalten wären.

Es muss daher stets nachweisbar sein, dass der nichtgewerbliche Endverbraucher mit den Sicherheitsregeln vertraut gemacht wurde.

Bitte weisen Sie daher im Interesse der Sicherheit Ihre nichtgewerblichen Abnehmer stets auf Folgendes hin:

Sicherheitsvorschriften

Beim Umgang mit Produkten, die mit elektrischer Spannung in Berührung kommen, müssen die gültigen VDE-Vorschriften beachtet werden.

Besonders sei auf folgende Vorschriften hingewiesen:

VDE0100; VDE0550/0551; VDE0700; VDE0711; VDE0860.

Sie erhalten VDE-Vorschriften beim vde-Verlag GmbH, Bismarckstraße 33, 10625 Berlin.

- * Vor Öffnen eines Gerätes den Netzstecker ziehen oder sicherstellen, dass das Gerät stromlos ist.
- * Bauteile, Baugruppen oder Geräte dürfen nur in Betrieb genommen werden, wenn sie vorher in ein berührungssicheres Gehäuse eingebaut wurden. Während des Einbaus müssen sie stromlos sein.
- * Werkzeuge dürfen an Geräten, Bauteilen oder Baugruppen nur benutzt werden, wenn sichergestellt ist, dass die Geräte von der Versorgungsspannung getrennt sind und elektrische Ladungen, die in im Gerät befindlichen Bauteilen gespeichert sind, vorher entladen wurden.
- * Spannungsführende Kabel oder Leitungen, mit denen das Gerät, das Bauteil oder die Baugruppe verbunden sind, müssen stets auf Isolationsfehler oder Bruchstellen untersucht werden. Bei Feststellen eines Fehlers in der Zuleitung muss das Gerät unverzüglich aus dem Betrieb genommen werden, bis die defekte Leitung ausgewechselt worden ist.
- * Bei Einsatz von Bauelementen oder Baugruppen muss stets auf die strikte Einhaltung der in der zugehörigen Beschreibung genannten Kenndaten für elektrische Größen hingewiesen werden.
- * Wenn aus den vorgelegten Beschreibungen für den nichtgewerblichen Endverbraucher nicht eindeutig hervorgeht, welche elektrischen Kennwerte für ein Bauteil gelten, so muss stets ein Fachmann um Auskunft ersucht werden.

Im Übrigen unterliegt die Einhaltung von Bau und Sicherheitsvorschriften aller Art (VDE, TÜV, Berufsgenossenschaften usw.) dem Anwender/Käufer.

15. EG-Konformitätserklärung

Für das folgende Erzeugnis

WITIO-48^{EXTENDED}
EDV-Nummer A-1254

wird hiermit bestätigt, dass es den Anforderungen der betreffenden EG-Richtlinien entspricht. Bei Nichteinhaltung der im Handbuch angegebenen Vorschriften zum bestimmungsgemäßen Betrieb des Produktes verliert diese Erklärung Ihre Gültigkeit.

EN 5502 Klasse B
IEC 801-2
IEC 801-3
IEC 801-4
EN 50082-1
EN 60555-2
EN 60555-3

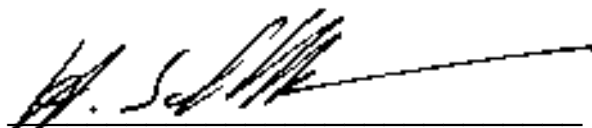
Diese Erklärung wird verantwortlich für den Hersteller

Messcomp Datentechnik GmbH
Neudecker Str. 11
83512 Wasserburg

abgegeben durch

Dipl.Ing.(FH) Hans Schnellhammer
(Geschäftsführer)

Wasserburg, 06.06.2006



Referenzsystem-Bestimmungsgemäßer Betrieb

Die PC-Erweiterungskarte ist ein nicht selbständig betreibbares Gerät, dessen CE-Konformität nur bei gleichzeitiger Verwendung von zusätzlichen Computerkomponenten beurteilt werden kann.

Die Angaben zur CE-Konformität beziehen sich deshalb ausschließlich auf den bestimmungsgemäßen Einsatz der PC-Erweiterungskarte in folgendem Referenzsystem:

Schaltschrank:	Vero IMRAK 3400	804-530061C 802-563424J 802-561589J
19" Gehäuse:	Vero PC-Gehäuse	145-010108L
19" Gehäuse:	Zusatzelektronik	519-112111C
Motherboard:	GA-586HX	PIV 1.55
Floppy-Controller:	auf Motherboard	
Floppy:	TEAC	FD-235HF
Grafikkarte:	Advantech	PCA-6443
Schnittstellen:	WITIO-48 _{EXTENDED}	A-1254