

ADIODA-12 STANDARD

EDV-Nr.: A-1062

16 * 12 Bit-A/D
2 * 12 Bit-D/A
24 Ein-/Ausgänge
3 * 16-Bit-Zähler
Waitstategenerator

Copyright® 2006 by Messcomp Datentechnik GmbH

Diese Dokumentation ist urheberrechtlich geschützt. Alle Rechte sind vorbehalten.

Messcomp Datentechnik GmbH behält sich das Recht vor, die in dieser Dokumentation beschriebenen Produkte jederzeit und ohne Vorankündigung zu verändern.

Ohne schriftliche Genehmigung der Firma Messcomp Datentechnik GmbH darf diese Dokumentation in keinerlei Form vervielfältigt werden.

Geschützte Warenzeichen

IBM PC, PC/XT und PC/AT sind geschützte Warenzeichen von International Business Machines (IBM).

BASIC ist ein geschütztes Warenzeichen von Dartmouth College. Turbo Pascal, Turbo C sind geschützte Warenzeichen von Borland. Quickbasic ist ein eingetragenes Warenzeichen von Microsoft. Powerbasic ist ein eingetragenes Warenzeichen von Robert S. Zale.

wasco® ist ein eingetragenes Warenzeichen.

Haftungsbeschränkung

Die Firma Messcomp Datentechnik GmbH haftet für keinerlei, durch den Gebrauch der Interfacekarte ADIODA-12_{STANDARD} und dieser Dokumentation, direkt oder indirekt entstandenen Schäden.

Inhaltsverzeichnis

- 1. Produktbeschreibung**
- 2. Installation der ADIODA-12^{STANDARD}**
- 3. Systemkomponenten**
 - 3.1 Blockschaltbild
 - 3.2 Adressierung
 - 3.3 Steckerbelegung
 - 3.4 16-Kanal-12Bit A/D
 - 3.5 2-Kanal-12Bit D/A
 - 3.6 24-Kanal-Ein-/Ausgabe über PIO 8255
 - 3.7 3 * 16 Bit Zähler
 - 3.8 Waitstategenerator
- 4. Programmierung**
- 5. Zubehör**
 - 5.1 Passendes **wasco**[®] Zubehör
 - 5.2 Anschluss technik (Anwendungsbeispiele)
 - 5.3 Einzelkomponenten zur Eigenkonfektionierung
- 6. Fehlersuche**
- 7. Technische Daten**
- 8. EG-Konformitätserklärung**
- 9. Produkthaftungsgesetz**

Anhang

- Programmierbarer Timer-Baustein 8254
- Programmierbarer I/O-Baustein 8255

1. Produktbeschreibung

Die ADIODA-12_{STANDARD} verfügt über 16 gemultiplexte, massebezogene 12 Bit A/D-Eingangskanäle mit programmierbarem Verstärker und einer maximalen Summenabtastrate von 25 kS/s. Der Eingangsspannungsbereich (unipolar: 0..10 V, bipolar: +/-5 V, +/-10 V) wird mittels Jumper festgelegt. Die zwei voneinander unabhängigen analogen Ausgangskanäle werden durch zwei multiplizierende 12 Bit Digital/Analogwandler erreicht und sind ebenfalls mittels Jumper auf unipolare oder bipolare Betriebsart einstellbar. Interruptauslösungen sind durch den Timer, durch das STS-Signal des A/D-Wandlers oder durch ein externes Signal möglich. Außerdem verfügt diese Karte über einen programmierbaren digitalen Ein/Ausgabe-Baustein, einen Timer, einen Quarzoszillator und einen DC/DC-Wandler. Die A/D-Eingänge sind der 37poligen D-Sub-Buchse am Slotblech der Platine zugeführt. Die D/A-Ausgänge sind, wie die TTL-Ein/Ausgänge und Timersignale auf einem 40poligen Pfostenstecker auf der Platine anliegend. Zur Verlegung auf 37polige D-Sub-Buchsen mit Slotblech sind optionale Steckerverlegungs-Sets erhältlich.

2. Installation der ADIODA-12_{STANDARD}

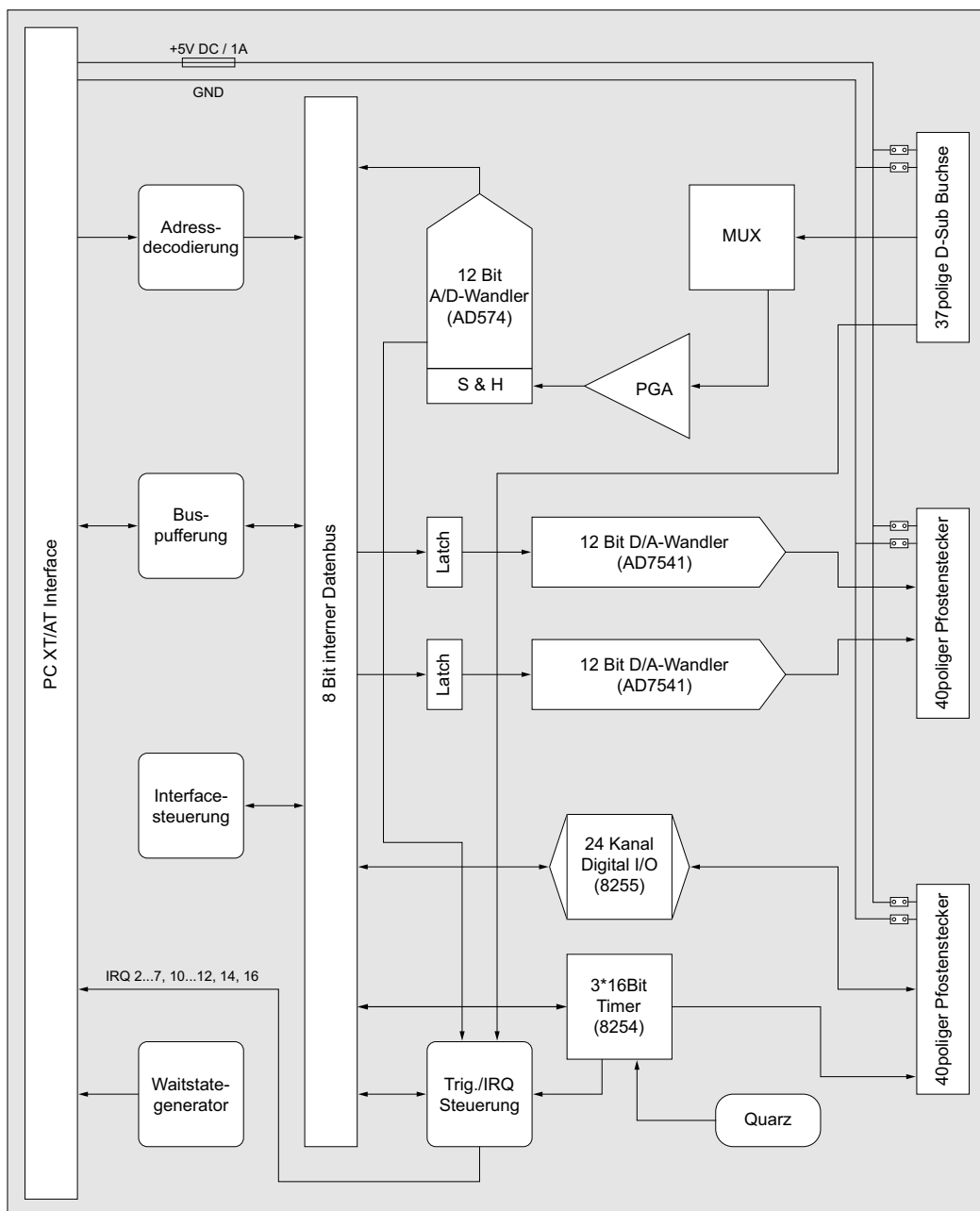
Achten Sie vor dem Einbau der ADIODA-12 darauf, dass der Rechner vom Netz getrennt oder zumindest ausgeschaltet ist. Denn beim Einbau der Interface-Karte in den laufenden Rechner besteht die Gefahr, dass neben der ADIODA-12 auch andere Karten des PCs oder Rechners zerstört werden.

Lesen Sie bitte, bevor Sie die Interfacekarte in einen beliebigen freien Speicherplatz setzen, die Kapitel über die Adresseinstellung, die Interrupteinstellung, den Waitstategenerator sowie über die Jumperung des Timerbausteins. Bei all diesen Einstellmöglichkeiten ist es nötig, auf der Platine Dip-Schalter umzustellen bzw. Jumper zu setzen. Diese Einstellungen müssen unbedingt vor dem Einbau der Interfacekarte geschehen, da das Setzen der Jumper bei eingebauter Platine nicht mehr möglich ist.

Wählen Sie nun einen beliebigen freien Steckplatz aus und setzen Sie die Karte dort ein. Dann verschrauben Sie das Winkelblech, damit sich die Karte nicht während des Betriebs unter Einwirkung des Anschlusskabels aus Ihrer Fassung lösen kann.

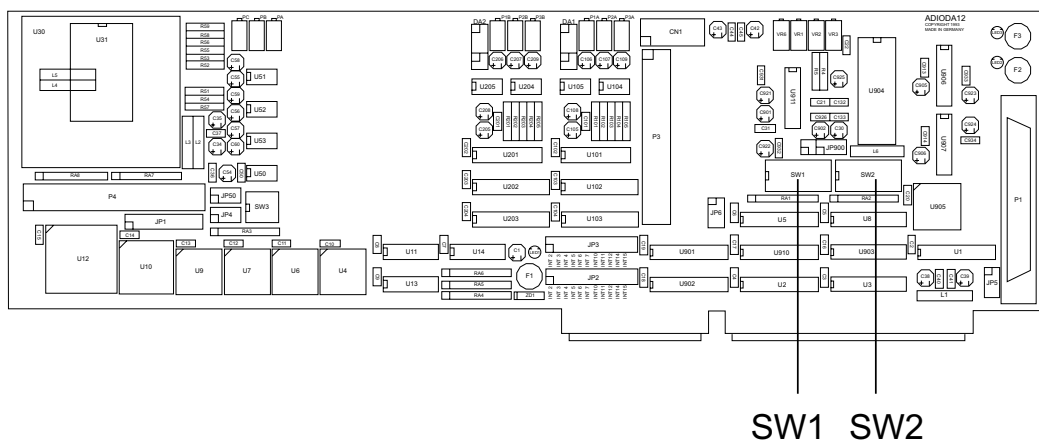
3. Systemkomponenten

3.1 Blockschaubild



3.2 Adressierung

Die Port-Adress-Bereiche, unter die die Bausteine angesprochen werden können, sind durch zwei Dip-Schalterblöcke auf der Platine einstellbar:



3.2.1 Einstellung der Portadressen:

| Schalter SWxx Basisadresse | 1 A4 | 2 A5 | 3 A6 | 4 A7 | 5 A8 | 6 A9 | 7 A10 | 8 A11 |
|-------------------------------|---------|---------|---------|---------|---------|---------|----------|----------|
| 200h | ON | ON | ON | ON | ON | OFF | ON | ON |
| 210h | OFF | ON | ON | ON | ON | OFF | ON | ON |
| 220h | ON | OFF | ON | ON | ON | OFF | ON | ON |
| 230h | OFF | OFF | ON | ON | ON | OFF | ON | ON |
| 240h | ON | ON | OFF | ON | ON | OFF | ON | ON |
| 250h | OFF | ON | OFF | ON | ON | OFF | ON | ON |
| 260h | ON | OFF | OFF | ON | ON | OFF | ON | ON |
| 270h | OFF | OFF | OFF | ON | ON | OFF | ON | ON |
| 280h | ON | ON | ON | OFF | ON | OFF | ON | ON |
| 290h | OFF | ON | ON | OFF | ON | OFF | ON | ON |
| 2A0h | ON | OFF | ON | OFF | ON | OFF | ON | ON |
| 2B0h | OFF | OFF | ON | OFF | ON | OFF | ON | ON |
| 2C0h | ON | ON | OFF | OFF | ON | OFF | ON | ON |
| 2D0h | OFF | ON | OFF | OFF | ON | OFF | ON | ON |
| 2E0h | ON | OFF | OFF | OFF | ON | OFF | ON | ON |
| 2F0h | OFF | OFF | OFF | OFF | ON | OFF | ON | ON |
| 300h | ON | ON | ON | ON | OFF | OFF | ON | ON |

3.2.2 Die Belegung der Portadressen im PC:

| Portadresse | Funktion |
|--------------|---------------------------|
| 000h .. 00Fh | DMA-Controller |
| 020h .. 021h | Interrupt-Controller |
| 040h .. 043h | Zeitgeber (8253) |
| 060h .. 063h | Systemregister (8255) |
| 080h .. 083h | DMA-Seitenregister |
| 0AXh | NMI-Interrupt-Register |
| 0CXh | Reserviert |
| 0EXh | Reserviert |
| 100h .. 1FFh | nicht verwendet |
| 200h .. 20Fh | Game-Port |
| 210h .. 217h | Erweiterungseinheit |
| 220h .. 24Fh | Reserviert |
| 278h .. 27Fh | 2. paralleler Drucker |
| 2F8h .. 2FFh | 2. serielle Schnittstelle |
| 300h .. 31Fh | Prototypenkarte |
| 320h .. 32Fh | Harddisk-Controller |
| 378h .. 37Fh | paralleler Drucker |
| 380h .. 38Fh | SDLC-Schnittstelle |
| 3A0h .. 3AFh | Reserviert |
| 3B0h .. 3BFh | Monochromadapter |
| 3C0h .. 3CFh | Reserviert |
| 3D0h .. 3DFh | Farbgrafikkarte |
| 3E0h .. 3E7h | Reserviert |
| 3F0h .. 3F7h | Floppy-Controller |
| 3F8h .. 3FFh | serielle Schnittstelle |

3.2.3 Aufteilung der Portadressen

| Adresse | | | Belegung |
|------------------|--------------|--------|--------------------------------|
| Dipschalterblock | Basisadresse | Offset | |
| SW1 | BA1 | + 4 | PIO-PORTA - Schreib-Lesebuffer |
| SW1 | BA1 | + 5 | PIO-PORTB - Schreib-Lesebuffer |
| SW1 | BA1 | + 6 | PIO-PORTC - Schreib-Lesebuffer |
| SW1 | BA1 | + 7 | PIO - Controll-Register |
| SW1 | BA1 | + 8 | Zähler0 - Schreib-Lesebuffer |
| SW1 | BA1 | + 9 | Zähler1 - Schreib-Lesebuffer |
| SW1 | BA1 | + A | Zähler2 - Schreib-Lesebuffer |
| SW1 | BA1 | + B | Timer - Controll-Register |
| SW2 | BA2 | + 0 | D/A1 - Low-Byte |
| SW2 | BA2 | + 1 | D/A1 - High-Halbbyte |
| SW2 | BA2 | + 2 | D/A2 - Low-Byte |
| SW2 | BA2 | + 3 | D/A2 - High-Halbbyte |
| SW2 | BA2 | + 8 | A/D - Kontrollregister 1 |
| SW2 | BA2 | + 9 | A/D - Kontrollregister 2 |
| SW2 | BA2 | + B | A/D - Kontrollregister 3 |
| SW2 | BA2 | + C | A/D - Kontrollregister 4 |
| SW2 | BA2 | + D | A/D - Kontrollregister 5 |

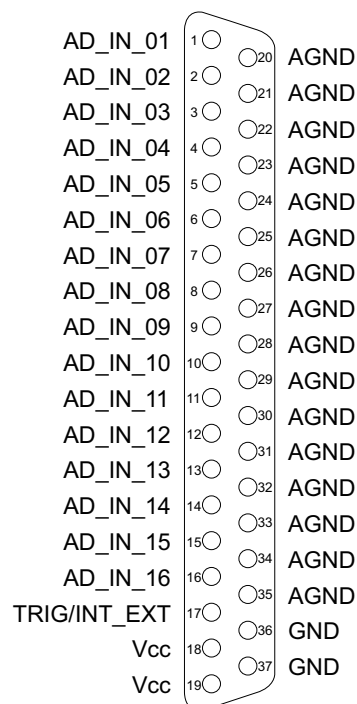
Bei Default-Basisadresse 220h (SW1) und 230h (SW2) ergibt sich z. B. folgender Adressbereich:

| | | |
|------|--------------------------------|-----------------|
| 224h | PIO_PortA - Schreib-Lesebuffer | (8255 - U12) |
| 225h | PIO_PortB - Schreib-Lesebuffer | (8255 - U12) |
| 226h | PIO_PortC - Schreib-Lesebuffer | (8255 - U12) |
| 227h | PIO - Controll-Register | (8255 - U12) |
| 228h | Zähler0 - Schreib-Lesebuffer | (8254 - U10) |
| 229h | Zähler1 - Schreib-Lesebuffer | (8254 - U10) |
| 22Ah | Zähler2 - Schreib-Lesebuffer | (8254 - U10) |
| 22Bh | Timer - Controll-Register | (8254 - U10) |
| 230h | DA1_DA1L - Low-Byte | (AD7541 - U101) |
| 231h | DA1_DA1H - High-Halbbyte | (AD7541 - U101) |
| 232h | DA2_DA2L - Low-Byte | (AD7541 - U201) |
| 233h | DA2_DA2H - High-Halbbyte | (AD7541 - U201) |
| 238h | A/D Kontrollregister 1 | |
| 239h | A/D Kontrollregister 2 | |
| 23Bh | A/D Kontrollregister 3 | |
| 23Ch | A/D Kontrollregister 4 | |
| 23Dh | A/D Kontrollregister 5 | |

3.3 Steckerbelegung

3.3.1 Steckerbelegung von P1

Die D-Sub-Buchse P1 ist am Slotblech der Platine montiert. Ihr sind die 16 analogen Eingänge und der Anschluss für das evtl. externe Trigger- und Interruptsignal zugeführt. Außerdem kann dieser Buchse die Versorgungsspannung (Vcc + 5V) und die Masse (GND) des Rechners durch Setzen eines Jumpers am Jumperblock JP5 zugeführt werden.



Vcc:

Interne Versorgungsspannung (+ 5V) des Rechners. Hier niemals eine externe Spannung anlegen.

GND:

Masse des Rechners

NC:

Pin nicht belegt

3.3.2 Steckerbelegung von P3

Die zwei analogen Ausgänge sowie der Anschluss für die evtl. externe Referenzspannung liegen am 40poligen Pfostenstecker P3 an. Die 5V Versorgungsspannung und die Masse des Rechners können durch entsprechende Verbindungen an JP6 dem Pfostenstecker P3 zugeführt werden. Der Pfostenstecker P3 ist mittels Flachbandleitung auf eine 37polige D-Sub-Buchse verlegbar.

| | | | | |
|----------|----|---|----|------|
| DA_OUT_1 | 1 | ○ | 2 | AGND |
| DA_OUT_2 | 3 | ○ | 4 | AGND |
| NC | 5 | ○ | 6 | AGND |
| NC | 7 | ○ | 8 | AGND |
| NC | 9 | ○ | 10 | AGND |
| NC | 11 | ○ | 12 | AGND |
| NC | 13 | ○ | 14 | AGND |
| NC | 15 | ○ | 16 | AGND |
| NC | 17 | ○ | 18 | AGND |
| NC | 19 | ○ | 20 | AGND |
| NC | 21 | ○ | 22 | AGND |
| NC | 23 | ○ | 24 | AGND |
| NC | 25 | ○ | 26 | AGND |
| NC | 27 | ○ | 28 | AGND |
| NC | 29 | ○ | 30 | AGND |
| NC | 31 | ○ | 32 | AGND |
| VREF_EX | 33 | ○ | 34 | GND |
| Vcc | 35 | ○ | 36 | GND |
| Vcc | 37 | ○ | 38 | NC |
| NC | 39 | ○ | 40 | NC |

Vcc:

Interne Versorgungsspannung (+ 5V) des Rechners. Hier niemals eine externe Spannung anlegen.

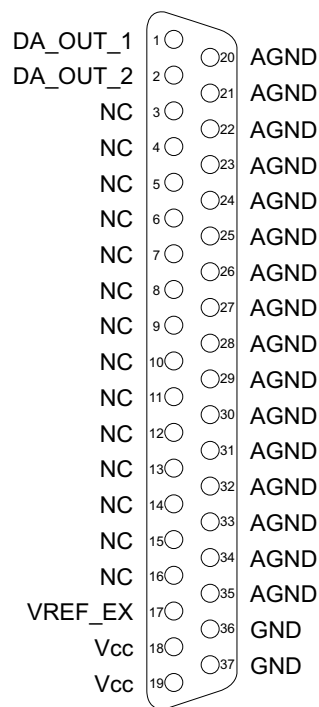
GND:

Masse des Rechners

NC:

Pin nicht belegt

Die Belegung des 40poligen Pfostensteckers und die Belegung bei Verlegung auf eine D-Sub-Buchse entnehmen Sie bitte den Abbildungen. Der Pfostenstecker ist kompatibel zu P3 der ADIODA-12_{EXTENDED} ohne der analogen Ausgänge DA_OUT_3 und DA_OUT_4. Bei Verlegung des Pfostensteckers P3 auf eine D-Sub-Buchse ist P3 der ADIODA-12_{STANDARD} kompatibel zu P1 der ADIODA-12_{EXTENDED} ohne der analogen Ausgänge DA_OUT_5 ...DA_OUT_8.



Vcc:

Interne Versorgungsspannung (+ 5V) des Rechners. Hier niemals eine externe Spannung anlegen.

GND:

Masse des Rechners

NC:

Pin nicht belegt

3.3.3 Steckerbelegung von P4

Am Pfostenstecker P4 liegen die 24 digitalen Ein-/Ausgänge des PIO-Bausteines und die Signale des Timers an. Außerdem sind diesem Anschlussstecker durch Setzen eines Jumpers am Jumperblock JP4 die interne Versorgungsspannung (Vcc + 5V) und die Masse des Rechners zuzuführen.

| | | | | | |
|------|----|---|---|----|------|
| PA0 | 1 | ○ | ○ | 2 | PA1 |
| PA2 | 3 | ○ | ○ | 4 | PA3 |
| PA4 | 5 | ○ | ○ | 6 | PA5 |
| PA6 | 7 | ○ | ○ | 8 | PA7 |
| PB0 | 9 | ○ | ○ | 10 | PB1 |
| PB2 | 11 | ○ | ○ | 12 | PB3 |
| PB4 | 13 | ○ | ○ | 14 | PB5 |
| PB6 | 15 | ○ | ○ | 16 | PB7 |
| PC0 | 17 | ○ | ○ | 18 | PC1 |
| PC2 | 19 | ○ | ○ | 20 | PC3 |
| PC4 | 21 | ○ | ○ | 22 | PC5 |
| PC6 | 23 | ○ | ○ | 24 | PC7 |
| CLK0 | 25 | ○ | ○ | 26 | G0 |
| OUT0 | 27 | ○ | ○ | 28 | CLK1 |
| G1 | 29 | ○ | ○ | 30 | OUT1 |
| CLK2 | 31 | ○ | ○ | 32 | G2 |
| OUT2 | 33 | ○ | ○ | 34 | GND |
| Vcc | 35 | ○ | ○ | 36 | GND |
| Vcc | 37 | ○ | ○ | 38 | NC |
| NC | 39 | ○ | ○ | 40 | NC |

Vcc:

Interne Versorgungsspannung (+ 5V) des Rechners. Hier niemals eine externe Spannung anlegen.

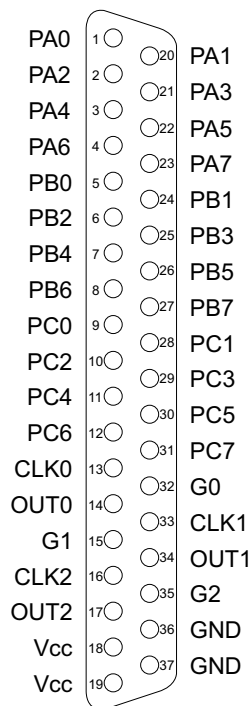
GND:

Masse des Rechners

NC:

Pin nicht belegt

Es besteht die Möglichkeit, die Anschlüsse des Pfostensteckers P4 mittels Flachbandleitung auf ein Slotblech mit 37poliger D-Sub-Buchse zu verlegen. Der Pfostenstecker P4 der ADIODA-12_{STANDARD} ist kompatibel zu P5 der WITIO-48_{STANDARD}, WITIO-48_{EXTENDED}, WITIO-240_{STANDARD} und WITO-240_{EXTENDED}, zu P2 der RELAIS-16_{EXTENDED}, zu P3 der RELAIS-32_{EXTENDED}, OPTOOUT-32_{EXTENDED}, OPTOIO-16_{EXTENDED}, OPTORE-16_{EXTENDED} und IODA-12_{EXTENDED} und zu P4 der ADIODA-12_{EXTENDED}.



Vcc:

Interne Versorgungsspannung (+ 5V) des Rechners. Hier niemals eine externe Spannung anlegen.

GND:

Masse des Rechners

NC:

Pin nicht belegt

3.4 16-Kanal - 12Bit A/D

Die ADIODA-12_{STANDARD} verfügt über 16 gemultiplexte massebezogene 12Bit-A/D-Eingangskanäle mit programmierbarem Verstärker.

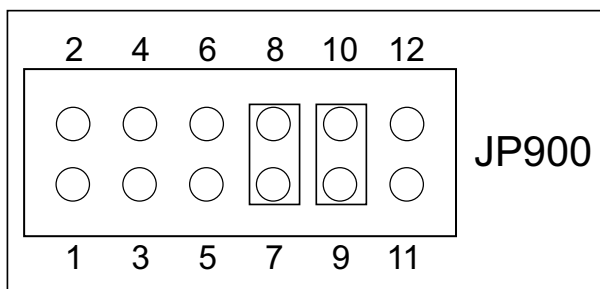
Der A/D-Eingangsbereich (0...10 V, +/- 5 V, +/- 10 V) sowie gegebenenfalls die IRQ-Leitung bei Interrupt-Anwendungen werden mittels Jumperstellung festgelegt. Die weiteren Einstellungen (Multiplexer-Kanalauswahl, PGA-Verstärkungswahl und A/D-Betriebsart-Selektion) erfolgen rein softwaremäßig.

Die A/D-Wandlungen können entweder durch Softwaretriggerung, zeitlich definiert über den Timerbaustein oder durch ein externes Signal ausgelöst werden. Die maximale Summenabtastrate beträgt 25 kHz. Die genaue Spezifikation des A/D-Wandlers sind den Datenblättern im Anhang zu entnehmen.

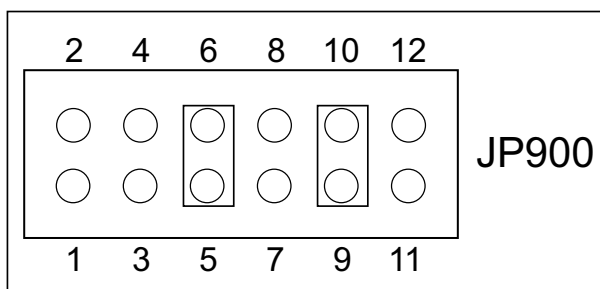
3.4.1 A/D-Eingangsspannungsbereiche

Die Festlegung des A/D-Eingangsspannungsbereiches erfolgt über die Stellung von Jumperblock JP900. Für die möglichen Eingangsspannungsbereiche ergeben sich folgende Jumperstellungen:

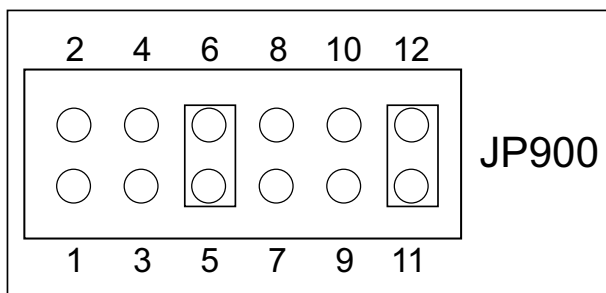
unipolare Betriebsart - 0 .. 10V:



bipolare Betriebsart +/- 5V:



bipolare Betriebsart +/- 10V:



Wichtiger Hinweis:

Eingangsspannungen außerhalb des eingestellten Eingangsspannungsbereiches sowie Jumperstellungen, die von den oben genannten abweichen, sind unbedingt zu vermeiden, da sie zur Beschädigung der ADIODA-12 führen könnten!

3.4.2 A/D-Kontrollregister

Die ADIODA-12_{STANDARD} benützt die Portadressen BASISADRESSE2 + 08h bis einschließlich BASISADRESSE2 + 0Dh zur Kontrolle des A/D-Wandlers, der Multiplexerbausteine, des programmierbaren Verstärkers sowie des Interrupt-Flipflops. Je nachdem, ob in die jeweilige Portadresse geschrieben oder der Registerinhalt gelesen wird, ergibt sich folgende Bedeutung der Kontrollregister:

| Basisadresse2 + | Register | Schreiben | Lesen |
|-----------------|------------------------|------------------|--------------|
| 08h | A/D-Kontrollregister 1 | 8-Bit-A/D-Start | 8-Bit-MSB |
| 09h | A/D-Kontrollregister 2 | 12-Bit-A/D-Start | 4-Bit-LSB |
| 0Bh | A/D-Kontrollregister 3 | MUX-Kontrollbyte | Statusbyte |
| 0Ch | A/D-Kontrollregister 4 | PGA-Kontrollbyte | Int.FF Reset |
| 0Dh | A/D-Kontrollregister 5 | A/D-Modusbyte | |

Das Schreiben eines beliebigen Bytes in die Portadresse BASISADRESSE2 + 09h (bzw. BASISADRESSE2 + 08h) löst eine 12-Bit-A/D-Wandlung (bzw. 8-Bit-A/D-Wandlung) aus. In diesen Fällen spricht man von softwaremäßiger Wandlungsauslösung oder Softwaretriggerung. Durch das Lesen eines Bytes von diesen Portadressen erhält man die höchstwertigen acht Bit bzw. die niederwertigsten vier Bit (mit nachfolgenden Nullen / nur bei 12-Bit-Wandlung) des Wandlungsergebnisses. Voraussetzung hierzu ist natürlich, dass im Moment des Lesebefehles gültige Daten vom A/D-Wandler bereitgestellt sind. Das Anliegen gültiger A/D-Daten kann man durch Lesen des "Status"-Bytes von der Portadresse BASISADRESSE2 + 0Bh feststellen (siehe hierzu auch Kapitel 3.4.5 und Kapitel 3.4.6).

Das Schreiben eines Bytes in eine der Portadressen BASISADRESSE2 + 0Bh, BASISADRESSE2 + 0Ch und BASISADRESSE2 + 0Dh bestimmt die Funktion des Multiplexers, des programmierbaren Verstärkers bzw. des A/D-Wandlers selbst (siehe hierzu auch Kapitel 3.4.3 bis einschließlich 3.4.6).

Nach dem Booten des Rechners befindet sich die ADIODA-12 in folgendem Grundzustand:

| | |
|---------------------|--------------------|
| A/D-Modus: | Softwaretriggerung |
| Multiplexer: | Kanal 1 selektiert |
| PGA: | Verstärkung = 1 |
| Interrupt-Flipflop: | zurückgesetzt |

3.4.3 Multiplexer-Kanalauswahl

Die Auswahl eines der 16 A/D-Eingangskanäle erfolgt durch Schreiben eines "Multiplexer-Kontrollbytes" in die Portadresse BASISADRESSE2 + 0Bh.

Das Multiplexer-Kontrollbyte hat folgendes Format:

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|----|----|----|----|----|----|----|----|
| X | X | X | K4 | K3 | K2 | K1 | K0 |

| X | X | X | K4 | K3 | K2 | K1 | K0 | Kanal-Nr. |
|----------|---|---|----|----|----|----|----|-----------|
| beliebig | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 2 |
| | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 3 |
| | - | - | - | - | - | - | - | - |
| | - | - | - | - | - | - | - | - |
| | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 14 |
| | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 15 |
| | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 16 |

K-Byte = Kanal-Nummer - 1

Beispiel:

Auswahl von Kanal 12 --> K-Byte = 11(dezimal) = 0B(hex)

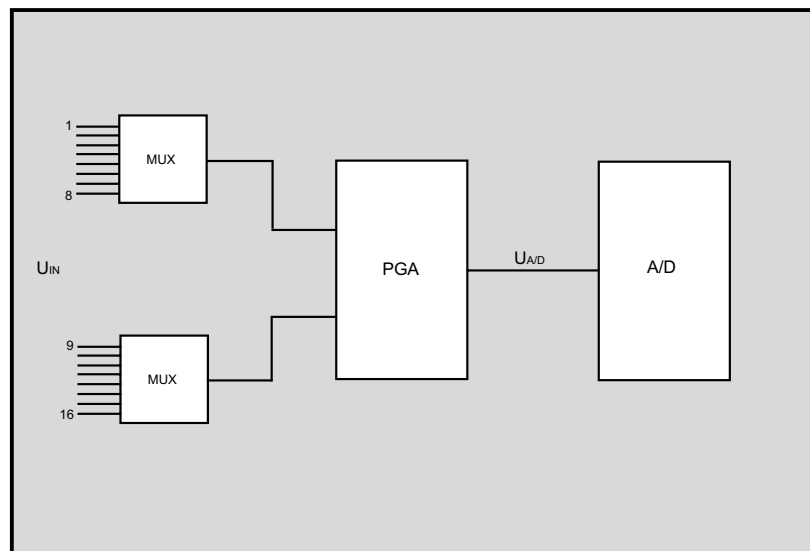
```
port(BASISADRESSE_B + $0B):= $0B;
```

```
outportb(BASISADRESSE_B + \x0B, '\x0B');
```

```
OUT BASISADRESSEB + &H0B,&H0B
```

3.4.4 PGA-Verstärkungswahl

Mit dem PGA-Kontrollbyte (Portadresse des PGA-Kontrollregisters = BASIS-ADRESSE2 + 0Ch) wird der Verstärkungsfaktor des programmierbaren Verstärkers (PGA) selektiert. Der PGA der ADIODA-12 ist wie folgt mit den Eingangskanälen sowie dem A/D-Wandler verbunden:



Die Eingangsspannung $U_{A/D}$ am Wandler ergibt sich wie folgt aus dem analogen Eingangssignal an einem der Kanäle 1..16 (selektiert mit dem Multiplexer-Kontrollbyte) und dem eingestellten Verstärkungsfaktor V_{PGA} :

$$U_{A/D} = U_{IN} * V_{PGA}$$

$$(V_{PGA} = 1,2,4,8,16)$$

Hinweis:

Es ist unbedingt sicherzustellen, dass die Eingangsspannung $U_{A/D}$ im erlaubten Eingangsbereich (abhängig von der Jumperstellung JP900 / siehe Kapitel 3.4.1) liegt. Hierauf ist insbesondere bei Verwendung von unterschiedlichen Verstärkungsfaktoren für verschiedene Eingangskanäle zu achten!

Das PGA-Kontrollbyte hat folgendes Format:

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|----|----|----|----|----|----|----|----|
| X | X | X | X | X | P2 | P1 | P0 |

| X | X | X | X | X | P2 | P1 | P0 | Verstärkungsfaktor |
|----------|---|---|---|---|----|----|----|--------------------|
| beliebig | | | | | 0 | 0 | 0 | 1 |
| | | | | | 0 | 0 | 1 | 2 |
| | | | | | 0 | 1 | 0 | 4 |
| | | | | | 0 | 1 | 1 | 8 |
| | | | | | 1 | X | X | 16 |

Beispiel:

Verstärkungs-Faktor = 4

```
port [BASIS-ADRESSE_B + $C]: = $02;
```

```
outportb (BASIS-ADRESSE_B + \x0C, '\x02');
```

```
OUT BASISADRESSEB + &H0C, &H02
```

3.4.5 A/D Betriebsarten

Der A/D-Block der ADIODA-12 kann hinsichtlich A/D-Auflösung, Triggerrung (=A/D-Wandlungsauslösung) und Interrupthandling in den folgenden verschiedenen Betriebsarten eingesetzt werden:

A - A/D-Auflösung

1. 12-Bit-Auflösung
2. 8-Bit-Auflösung

B - Triggerrung (Wandlungsauslösung)

1. Softwaretriggerrung
2. Hardwaretriggerrung durch externes Signal
3. Hardwaretriggerrung durch Timer-Signal OUT2

C - Interrupthandling

1. keine Interruptauslösungen
2. Timer-Interrupt
3. Interrupt bei Wandlungsende (durch das Statussignal des A/D-Wandlers)
4. Interrupt durch externes Signal

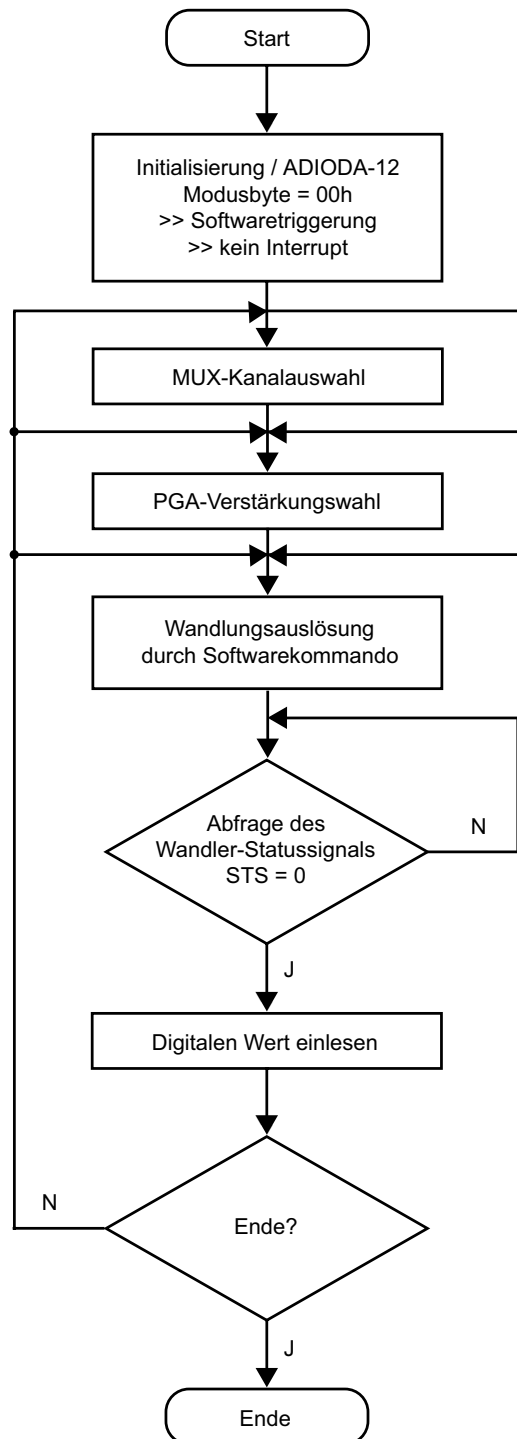
Die Einstellung der Betriebsart erfolgt durch Schreiben eines Steuerbytes in die Portadresse BASISADRESSE2 + 0Dh des Modusregisters der ADIODA-12. Das Format des Modusbytes ist im folgenden Kapitel beschrieben.

Grundsätzlich ist es möglich, die ADIODA-12 je nach Aufgabenstellung in einer beliebigen Kombination aus den Einstellvarianten A/1..2, B/1..2 und C/1..4 zu betreiben. Im folgenden werden die gebräuchlichsten Betriebsarten erläutert. Ausführliche Programmbeispiele finden Sie hierzu in der mitgelieferten Software.

3.4.5.1 12-Bit/8-Bit-Wandlung (Softwaretriggerung/STS-Polling)

Die softwaremäßige Wandlungsauslösung mit Abfrage des Statussignales des A/D-Wandlers ist die einfachste Möglichkeit, A/D-Wandlungen mit der ADIODA-12 auszuführen. Nach der A/D-Initialisierung, der Kanalauswahl und der Auswahl des Verstärkungsfaktors erfolgt durch das Schreiben eines beliebigen Bytes in die Portadresse BASISADRESSE2 + 09h (bzw. BASIS-ADRESSE2 + 08h bei 8-Bit-Auflösung) der Start der 12-Bit-A/D-Wandlung.

Um sicherzustellen, dass der digitale Wert vom Wandlerausgang erst beim Anliegen gültiger Daten gelesen wird, muss das Statussignal des Wandlers, das während der Wandlung logisch "1" ist, abgefragt werden. Durch das Lesen von jeweils einem Byte von den Portadressen BASIS-ADRESSE2 + 08h bzw. BASISADRESSE2 + 09h, erhält man die höchstwertigsten 8 Bit bzw. die niederwertigsten 4 Bit des Wandlungsergebnisses.



3.4.5.2 12-Bit-Wandlung (Timer-Auslösung / STS-Polling)

Mit Hilfe des 8254-Timerbausteins der ADIODA-12 können auf einfache Weise zeitlich definierte "Abtastungen" des analogen Eingangssignales durchgeführt werden. Hierzu müssen die Jumper JP1/1-2..17-18 gesetzt sein. Die drei Zähler sind dann in Reihe geschaltet und erzeugen nach ihrer Initialisierung aus dem Oszillatorsignal das Triggersignal (= Timerausgangssignal OUT2) für den A/D-Wandler. Dieses Timersignal ist (bis zur Uminitialisierung des Timers) vom Programmablauf vollkommen unabhängig und deshalb zeitlich genau definiert.

Als Triggersignal für den A/D-Wandler ist ein negativer Impuls mit folgenden Voraussetzungen notwendig:

1. Die A/D-Wandlung wird bei der negativen Flanke des Triggersignales gestartet. OUT2 muss deshalb vor der Initialisierung des A/D-Wandlers auf "HIGH" liegen.
2. Die Zeitdauer des negativen Impulses darf nicht länger als die Wandlungszeit des jeweils verwendeten A/D-Wandlers sein. Empfehlenswert ist deshalb eine Impulsdauer von 5 μ s.

Bis auf die A/D-Initialisierung und die Auslösung der Wandlungen durch den Timer ist diese Betriebsart vom Ablauf her mit der in Kapitel 3.4.5.1 geschilderten Betriebsweise identisch. Nach der A/D-Initialisierung, Auswahl des Verstärkungsfaktors und des Kanals, erfolgt die Initialisierung des Timers und hierdurch der Start der A/D-Wandlungen.

Um sicherzustellen, dass der digitale Wert vom Wandlerausgang erst beim Anlegen gültiger Daten gelesen wird, muss das Statussignal des Wandlers, das während der Wandlung logisch "1" ist, abgefragt werden.

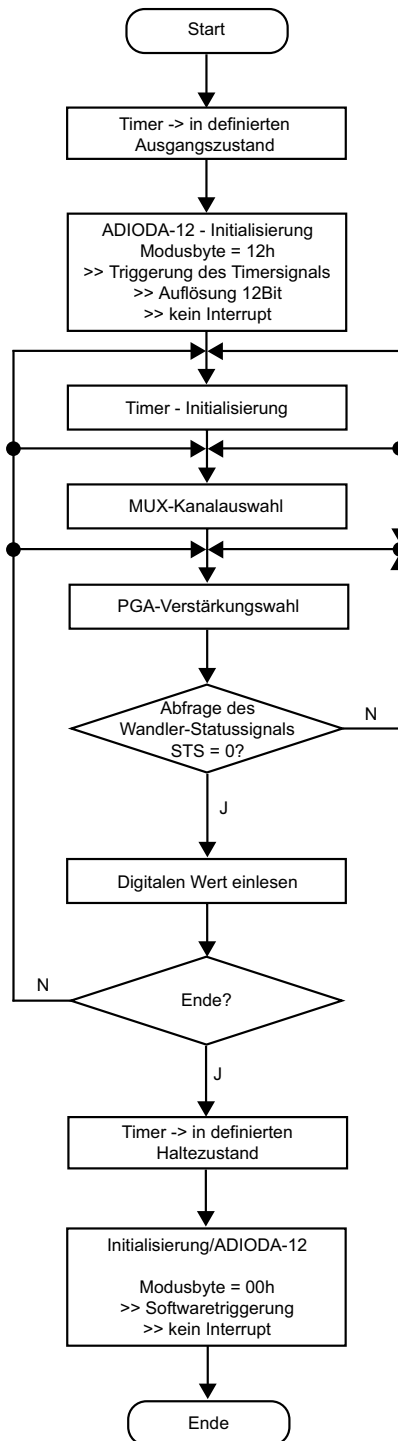
Durch das Lesen von jeweils einem Byte von den Portadressen BASISADRESSE2 + 08h bzw. BASISADRESSE2 + 09h, erhält man die höchstwertigsten 8 Bit, bzw. die niederwertigsten 4 Bit des Wandlungsergebnisses.

Bei Verwendung dieser Betriebsart muss zur Erzielung korrekter Messergebnisse folgendes berücksichtigt werden:

Abhängig von der Frequenz des Triggersignales (=Abtastrate) steht nur ein bestimmter Zeitraum ΔT_{dat} zwischen dem Ende der letzten Wandlung und dem Start der nächsten Wandlung für das Lesen des digitalen Wandlungswertes zur Verfügung.

Deshalb dürfen in dieser Zeit keine Programmunterbrechungen auftreten, die länger als die Zeit $\Delta T_{\text{nop}} = \Delta T_{\text{dat}} - \Delta T_{\text{transfer}}$ ist.

$\Delta T_{\text{transfer}}$ ist die vom Rechner, der Programmiersprache und vom Programmieralgorithmus abhängige Zeit für das Abspeichern des digitalen Messwertes.

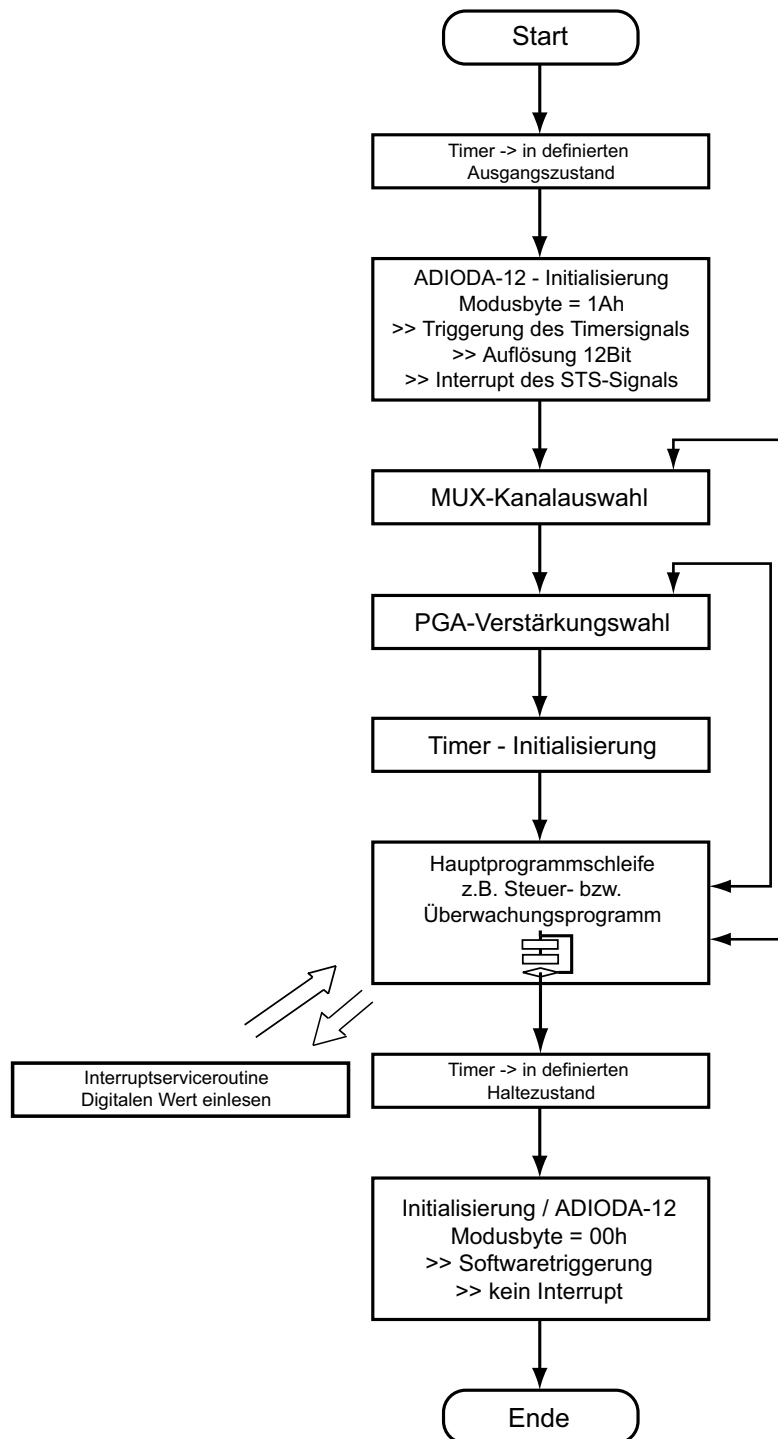


3.4.5.3 12-Bit-Wandlung (Timer-Auslösung / STS-Interrupt)

Die in Kapitel 3.4.5.2 geschilderte Betriebsart hat (insbesondere bei sehr niedrigen Abtastraten) den Nachteil, dass das ablaufende Programm nach dem Start der Wandlung ständig mit der Abfrage des Statussignales des A/D-Wandlers "beschäftigt" ist und keinerlei andere Aufgaben übernehmen kann.

Sollen vom Hauptprogramm neben der Ermittlung von Analogwerten beispielsweise zusätzliche Steuer- oder Überwachungsaufgaben (z.B. mit Hilfe des 8255-I/O-Bausteins) übernommen werden, so ist die Betriebsart Timer / STS-Interrupt vorteilhaft.

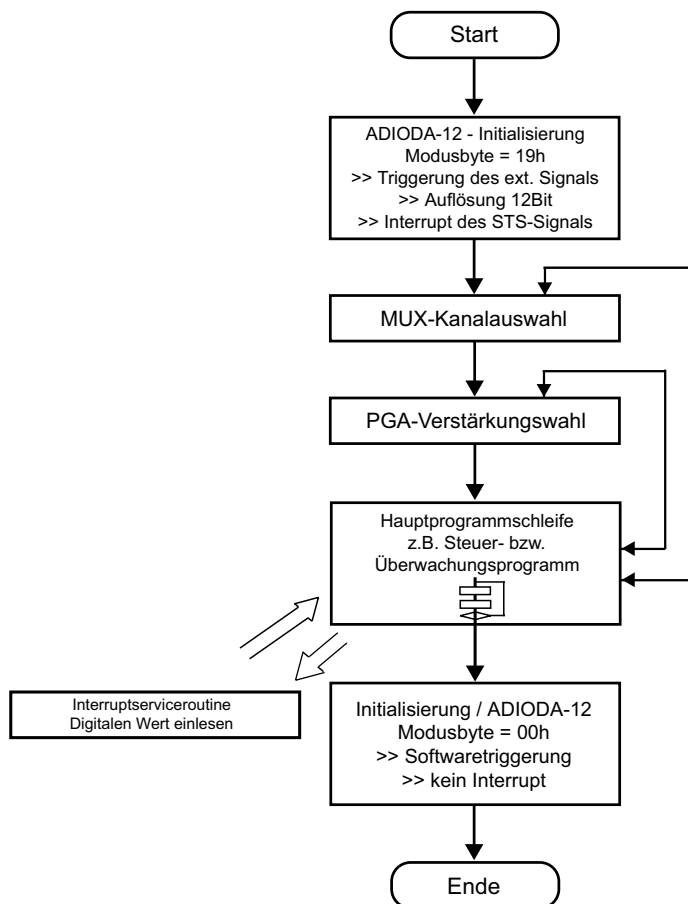
Das Statussignal des A/D-Wandlers löst hierbei beim Ende der Wandlung automatisch einen Hardware-Interrupt über die mit dem Jumperblock JP2 ausgewählte IRQ-Leitung aus. Das Einlesen der digitalen Wandlungswerte erfolgt dann innerhalb einer Interrupt-Service-Routine. Die Wandlungsauslösungen erfolgen, wie bereits in Kapitel 3.4.5.2 geschildert, unabhängig vom Programmablauf durch das Timer-Ausgangssignal.



3.4.5.4 12-Bit-Wandlung (Auslösung durch externes Signal / STS-Interrupt)

Diese Betriebsart eignet sich für Anwendungen, in denen die A/D-Wandlungen durch ein externes Signal gesteuert werden sollen. Zur Wandlungsauslösung ist eine positive Flanke des Triggersignales (an Pin 17 von P1) notwendig.

Das Statussignal des A/D-Wandlers löst bei Wandlungsende automatisch einen Hardware-Interrupt über die mit dem Jumperblock JP2 ausgewählte IRQ-Leitung aus. Das Einlesen der digitalen Wandlungswerte kann dann innerhalb einer Interrupt-Service-Routine erfolgen.



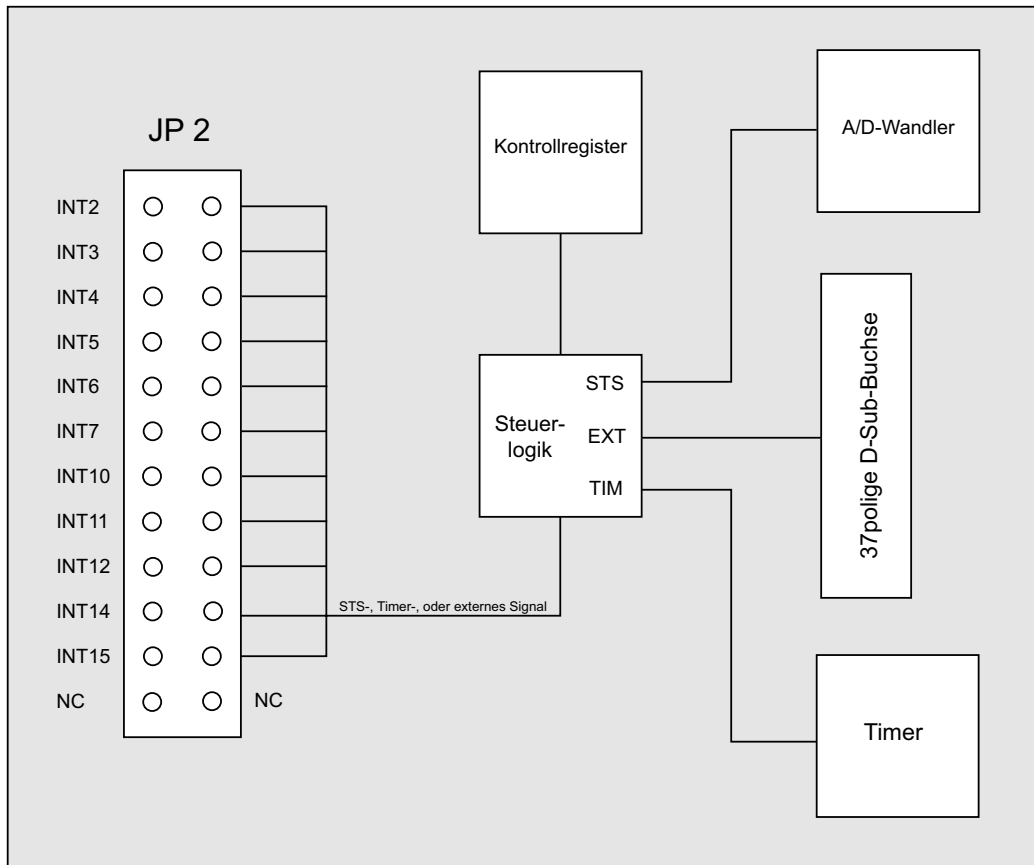
3.4.6 A/D-Betriebsart / Modusbyte

Modusbyte:

Das Modusbyte dient zur Programmierung der Art der Wandlungsauslösung (softwaremäßig, Timer-Auslösung bzw. durch externes Signal), der Wandlungsauflösung (8 bzw. 12 Bit), sowie der Interrupt-Quelle (STS-Signal vom A/D-Wandler, Timer-Ausgangssignal bzw. externes Signal) bei Interruptanwendungen.

| D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|----|----|----|----|----|----|----|----|
| X | X | F5 | F4 | I3 | I2 | T1 | T0 |

| X | X | F5 | F4 | I3 | I2 | T1 | T0 | | |
|----------|--|----|----|----|----|----|----|--|---|
| beliebig | Die Bits T0 und T1 legen die Art der Wandlungsauslösung fest | | | | | | | | |
| | | | | | | | 0 | 0 | Auslösung durch Software |
| | | | | | | | 0 | 1 | Auslösung durch externes Signal |
| | | | | | | | 1 | 0 | Auslösung durch Timer |
| | Die Bits I2 und I3 dienen zur Einstellung bei Interrupt-Auslösung | | | | | | | | |
| | | | | | 0 | 0 | | | kein Interrupt |
| | | | | | 0 | 1 | | | Interrupt durch Timer |
| | | | | | 1 | 0 | | | Interrupt durch STS-Signal |
| | | | | | 1 | 1 | | | Interrupt durch externes Signal |
| | Bit F4 muss bei softwaremäßiger Wandlungsauslösung (sowohl bei 12 Bit-Wandlung als auch bei 8 Bit-Wandlung) = 0 gesetzt werden. F5 ist in diesem Fall beliebig. Bei Wandlungsauslösung durch den Timer sowie bei Auslösung durch ein externes Signal ist Bit F4 = 1 zu setzen. Bit F5 legt dann die Auflösung der Wandlung fest. | | | | | | | | |
| | X | 0 | | | | | | | Auslösung durch Software 12 Bit und 8 Bit |
| | 0 | 1 | | | | | | | Auslösung durch Timer od. externes Signal Auflösung 12 Bit |
| 1 | 1 | | | | | | | Auslösung durch Timer od. externes Signal Auflösung 8 Bit | |



3.4.7 Abgleich - A/D-Wandler und PGA

Die ADIODA-12 ist standardmäßig auf den bipolaren Eingangsspannungsbereich +/-10V eingestellt und abgeglichen. Bei Änderung der Grundeinstellung kann ein erneuter Abgleich des A/D-Systems notwendig sein. Aufgrund der Langzeitdriftdaten der Analog-Bauelemente und der Temperaturdrift ist darüberhinaus ein Abgleich der ADIODA-12 unter Betriebsbedingungen zu empfehlen.

Den Abgleich des A/D-Systems sollten Sie mit dem Abgleichprogramm ADA_ABGL.EXE durchführen oder wie folgt vorgehen:

1. Abgleich des PGA

1. Je nach Einstellung der ADIODA-12 an Jumperblock JP900 Jumper 9-10 bzw. 11-12 ziehen.
2. Den momentan selektierten Eingangs-Kanal (Default-Kanal: Nr. 1) mit AGND verbinden.
3. PGA-Verstärkung $v = 16$ einstellen.
4. Spannung an Pin 11 des Jumperblockes JP900 abgreifen.
5. PGA-Nullpunktoffset mit dem Trimm-Potentiometer VR6 ` abgleichen (UPIN11 = 0.00000V)

2. Abgleich des A/D-Wandlers

1. PGA-Verstärkung $v = 1$ setzen
2. Je nach gewünschtem Eingangsspannungsbereich Jumper JP900 /9-10 bzw. 11-12 (Spannungsbereich) und Jumper JP900 /5-6 bzw. 7-8 (bipolare/unipolare Betriebsart) setzen.
3. Je nach Betriebsart Nullpunktoffset des A/D-Wandlers mit Trimmer VR2 bzw. VR3 abgleichen.

Hierzu die unten angegebenen Spannungen an den momentan selektierten Eingangskanal legen und wiederholt den 12-Bit-Wandlungswert lesen und abgleichen, bis der jeweilige Sollwert erreicht ist.

unipolare Betriebsart (0..10V):

Bei Anlegen einer Spannung von $+1/2$ LSB ($=1.22$ mV) soll der digitale Wert zwischen 0000 0000 0000 und 0000 0000 0001 schwanken. -> Abgleichtrimmer: VR3

bipolare Betriebsart:

Bei Anlegen einer Spannung von $-V_{fsr} + 1/2$ LSB

($=-9.9976$ V bei ± 10 V),

($=-4.9988$ V bei ± 5 V)

soll der digitale Wert zwischen 0000 0000 0000 und 0000 0000 0001 schwanken. -> Abgleichtrimmer: VR2

4. Abgleich des Endbereiches des A/D-Wandlers:
Mit Spindeltrimmer VR1 auf den vom Eingangsspannungsbereich abhängigen Sollwert abgleichen.

unipolare Betriebsart (0..10V):

Bei Anlegen einer Spannung von $V_{fsr} - 1 \frac{1}{2} \text{ LSB}$
(=9.9963 V)

soll der digitale Wert zwischen 1111 1111 1110 und
1111 1111 1111 schwanken.

bipolare Betriebsart:

Bei Anlegen einer Spannung von $V_{fsr} - 1 \frac{1}{2} \text{ LSB}$
(=+9.9927 V bei +/-10 V)
(=+4.9963 V bei +/-5 V)

soll der digitale Wert zwischen 1111 1111 1110 und
1111 1111 1111 schwanken.

3.5 2-Kanal - Analogausgänge

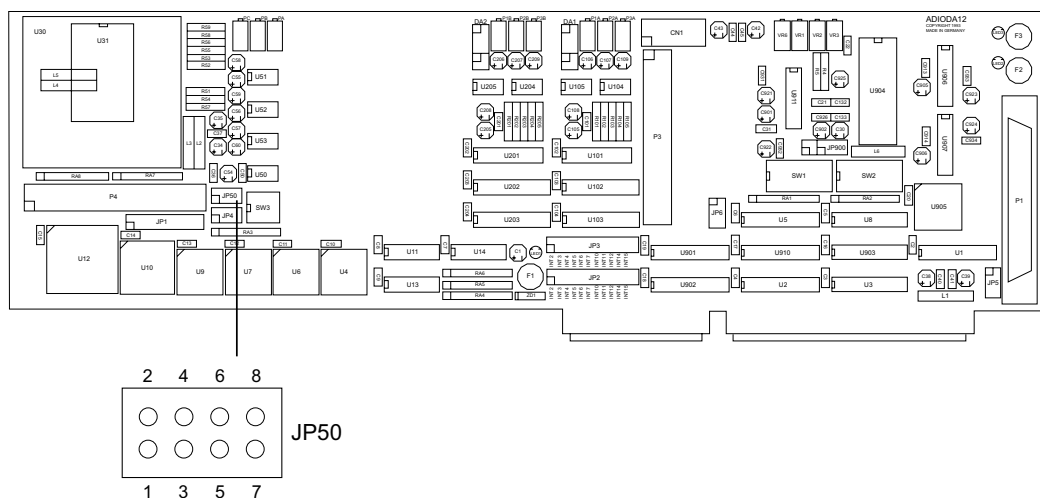
Die ADIODA-12_{STANDARD} verfügt über zwei voneinander unabhängige analoge Ausgangskanäle mit einer Auflösung von jeweils 12 Bit, die durch zwei multiplizierende 12-Bit Digital-/Analogwandler erreicht werden. Mittels Jumper ist die Auswahl einer Hauptreferenzspannung (V_{REF0}) aus vier verschiedenen intern erzeugten Spannungen möglich. Aus dieser gewählten V_{REF0} werden wiederum drei unterschiedliche Spannungsgrößen gewonnen, wovon die dritte auch variabel von $\sim 0,25 * V_{REF0}$ bis $\sim < V_{REF0}$ einstellbar ist. Zudem besteht auch die Möglichkeit, eine externe Referenzspannung über die sich an der Platine befindende D-Sub-Buchse einzuspeisen. Mittels Jumper ist die Zuordnung einer Referenzspannung, aus den vier zuletzt genannten Spannungen, für jeden Kanal einzeln möglich. Durch die unterschiedlichen Referenzspannungen lassen sich verschiedene Ausgangsspannungen, unipolar von 0 - 10V und bipolar bis zu einem Endbereich von +/-10V erzeugen. Die unipolare oder bipolare Betriebsart wird mittels Jumper eingestellt.

3.5.1 Auswahl der Hauptreferenzspannung

Durch Setzen eines Jumpers am Jumperblock JP50 können Sie die für Sie geeignete Hauptreferenzspannung V_{Ref0} auswählen. Standardmäßig wird vor der Auslieferung an JP50, Jumper 4 für $V_{Ref0} = 10V$ gesetzt. Die Werte der Spannungen für V_{Ref0} entnehmen Sie bitte der nun folgenden Tabelle.

| JP50 | | |
|--------|---------------|----------|
| Jumper | Pinverbindung | Spannung |
| 1 | 1 - 2 | 2,5 V |
| 2 | 3 - 4 | 5 V |
| 3 | 5 - 6 | 7,5 V |
| 4 | 7 - 8 | 10 V |

Die Pinbelegung des Jumperblockes JP50, zum Setzen des Jumpers für die Auswahl der V_{Ref0} , entnehmen Sie bitte der nun folgenden Abbildung:

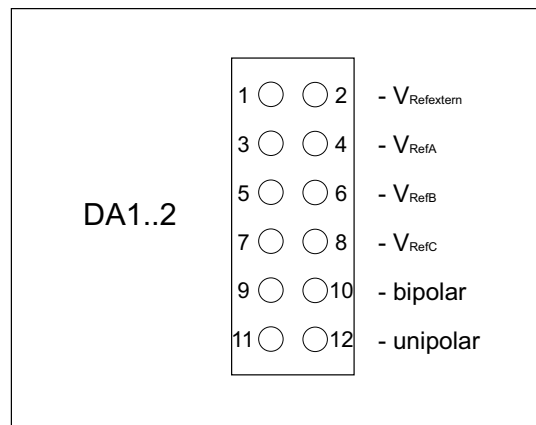


Aus der Hauptreferenzspannung V_{Ref0} werden folgende drei Referenzspannungen gewonnen:

$$V_{\text{RefA}} \sim V_{\text{Ref0}}$$

$$V_{\text{RefB}} \sim 0,5 \cdot V_{\text{Ref0}}$$

$$0,25 \cdot V_{\text{Ref0}} < V_{\text{RefC}} < V_{\text{Ref0}}$$



Nach dem Setzen eines Jumpers an JP50 haben Sie die Möglichkeit an den Jumperblöcken DA1..2, durch Jumperverbindung eine Referenzspannung aus V_{RefA} , V_{RefB} , V_{RefC} und $V_{\text{Refextern}}$ zum Erreichen Ihres benötigten Endbereiches auszuwählen. diese Referenzspannungen sind für den Default-Bereich 10V auf folgende Endbereichswerte abgeglichen:

$$V_{\text{RefA}} \sim 10 \text{ V}$$

$$V_{\text{RefB}} \sim 5 \text{ V}$$

$$V_{\text{RefC}} \sim 8 \text{ V}$$

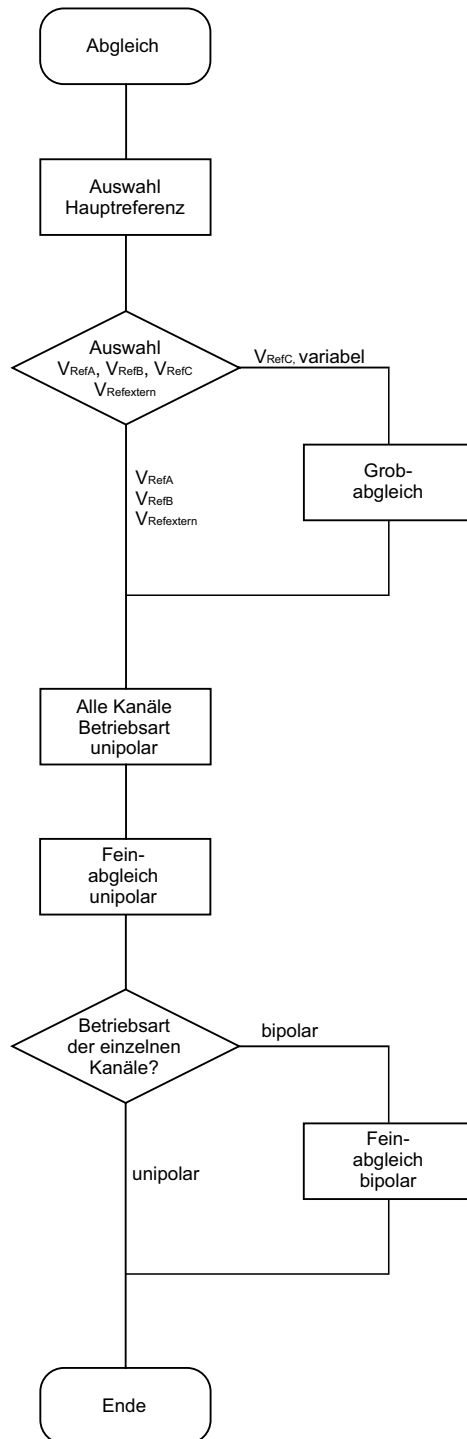
Werksmäßig ist die Verbindung für V_{RefA} hergestellt. Der Endbereich von V_{RefC} wird standardmäßig auf den oben angegebenen Wert abgeglichen, um eine Kompatibilität zur MULTI D/A-12 (A-1120) zu erreichen. V_{RefC} kann aber auch für variable Endbereiche verwendet werden. Dabei ist mit P_c ein Spannungsbereich von $\sim 0,25 * V_{\text{Ref0}}$ bis $\sim < V_{\text{Ref0}}$ grob einstellbar. Die Feineinstellung wird über P_1 vorgenommen. Der Nullpunktgleich wird wie in Kapitel 3.5.2 beschrieben, durchgeführt.

3.5.2 Abgleich der D/A-Kanäle

Die ADIODA-12_{STANDARD} wird vor der Auslieferung für den Default-Bereich, V_{RefA} bipolar +/-10 V, fein abgeglichen. Bei Verwendung von V_{RefB} , V_{RefC} , $V_{\text{Refextern}}$ oder bei Umjumperung auf unipolare Betriebsart, ist ein Feinabgleich durchzuführen. Zum Abgleich dient Ihnen das beiliegende Abgleichprogramm (ADA_ABGL.EXE).

Die Trimmer P_A , P_B und P_C sind zum Grobabgleich bestimmt. Mit dem Trimmer P1 ist für jeden Kanal einzeln der Feinabgleich des Endbereiches möglich. Der Trimmer P2 dient zum Nullpunktgleich bei bipolarer Betriebsart, P3 zum Nullpunktgleich für den unipolaren Bereich.

Um das gewünschte Ergebnis zu erhalten, ist dabei nun folgende Abgleichvorschrift einzuhalten:

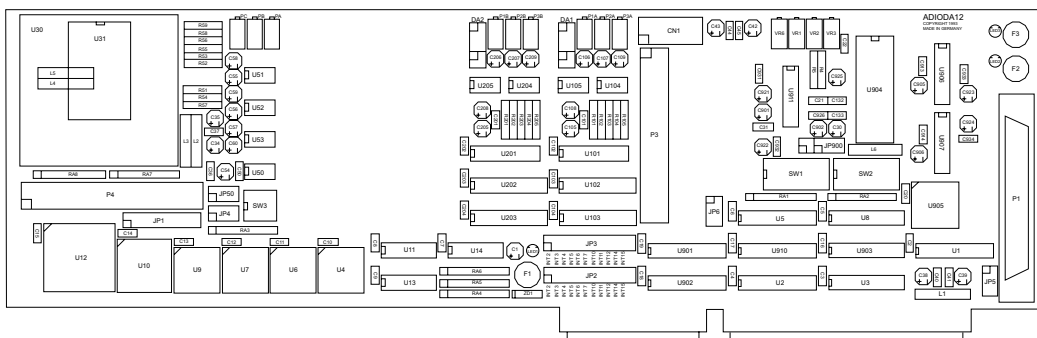


Bei Verwendung von der Defaulteinstellung abweichender Referenzspannungen ist wie folgt vorzugehen:

1. Auswahl der V_{Ref0} (Hauptreferenzspannung) für den gewünschten Endbereich durch Setzen des entsprechenden Jumpers an Jumperblock JP50.
2. Zum Abgleich verwenden Sie das beiliegende Abgleichprogramm. Starten Sie dieses durch Eingabe von < ADA_ABGL >.
3. Unter Menüpunkt < 1 > des Abgleichprogramms geben Sie die Basisadresse, die durch SW2 auf der Platine eingestellt ist, an.
4. Nach Eingabe von < 2 >, den durch JP50 gewählten Endbereich einstellen.
5. Durchschalten der Signale aller Kanäle auf die 37polige D-Sub-Buchse, durch Eingabe von < 9 > unter Punkt < 4 > (Kanalauswahl).
6. Auswahl von V_{RefB} , V_{RefC} oder $V_{\text{Refextern}}$ für jeden Kanal einzeln, durch Setzen eines Jumpers am Jumperblock DAxx des entsprechenden D/A-Kanals.
Bei Verwendung von V_{RefC} als variable Referenz ist ein Grobgleich des Endbereichs mittels Spindeltrimmer P_C und Abgleichs Software Punkt < 5 > erforderlich.

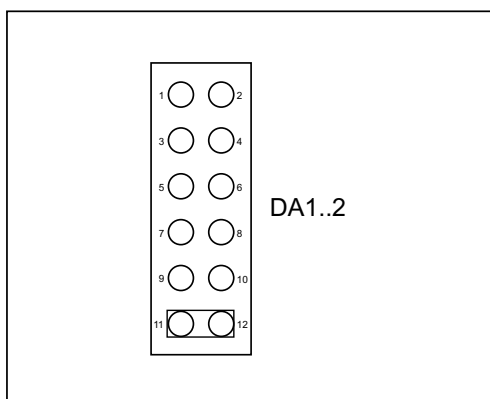
Kanal: DA2
 Jumperblock: DA2
 Trimmer: P1, P2, P3

Kanal: DA1
 Jumperblock: DA1
 Trimmer: P1, P2, P3

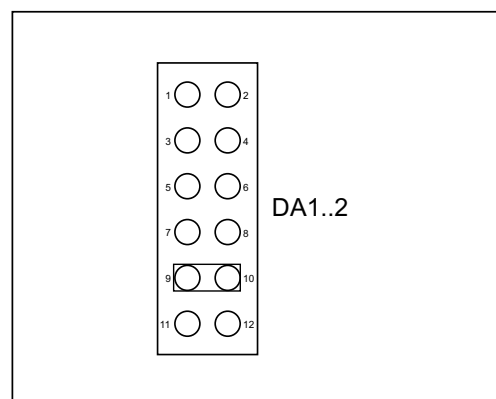


7. **Feinabgleich beider DA-Kanäle unipolar**
 Die unipolare Betriebsart wird für jeden einzelnen Kanal am dazugehörigen Jumperblock DAxx mittels einer Jumperbrücke über die Pins 11 und 12 eingestellt.
 Zur Einstellung der unipolaren Betriebsart für alle Kanäle, lösen Sie nun an den Jumperblöcken DA1 und DA2 jeweils die Verbindungen der Pins 9-10 durch Ziehen der Jumper und stecken diese auf die Pins 11-12.
 Anschließend ist mit P3 und P1 der Feinabgleich durchzuführen. Die Spannungen sind an den entsprechenden Pins des Pfostensteckers P3 abzugreifen, dabei ist jeweils der in der Software angegebene Sollwert einzustellen.

8. Auswahl der Betriebsart und Feinabgleich für jeden einzelnen Kanal

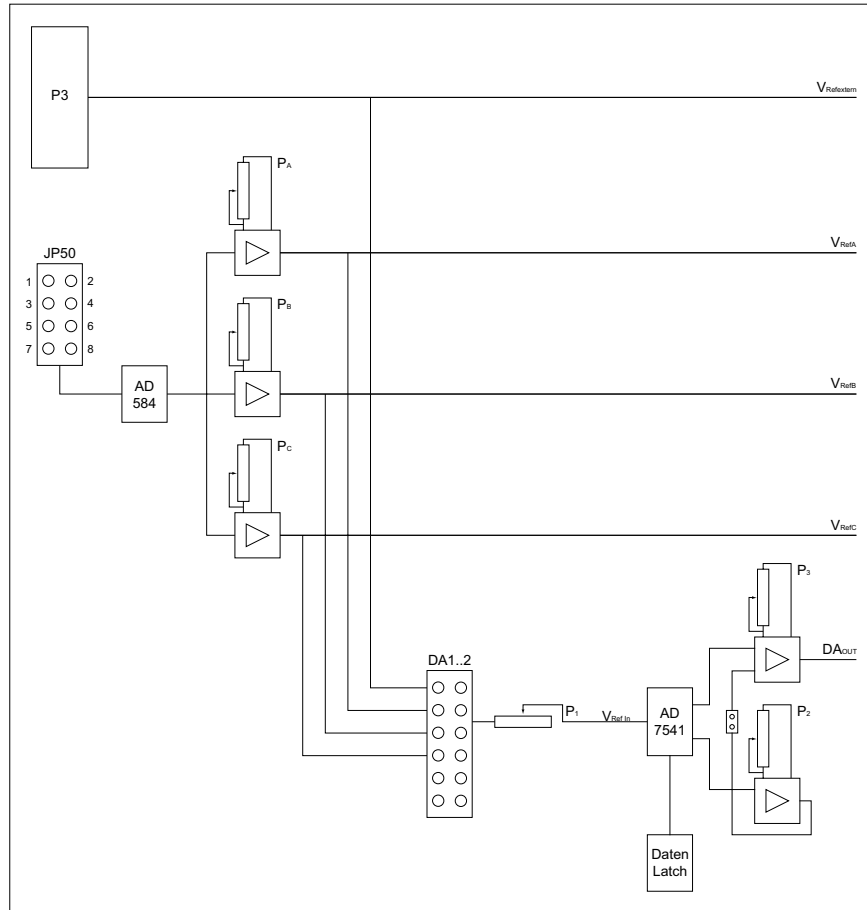


Jumperstellung unipolar



Jumperstellung bipolar

Die zwei unterschiedlichen Betriebsarten werden, wie oben in den Abbildungen dargestellt, durch Setzen des entsprechenden Jumpers an den Jumperblöcken DAxx des entsprechenden Kanals eingestellt. Bei Wahl der unipolaren Betriebsart (Jumperbrücke Pin 11-12) ist der Abgleich abgeschlossen. Für die bipolare Betriebsart verbinden Sie mittels Jumper die Pins 9-10, ein Feinabgleich ist erforderlich. Der bipolare Feinabgleich wird mit Eingabe von < 6 > in der Abgleichsoftware durchgeführt. Mit Trimmer P2 erfolgt der Abgleich des Nullpunktoffsets, der positive und negative Endbereich wird mit P1 eingestellt. Alle Signale der einzelnen Kanäle sind dabei wieder am Pfostenstecker P3 abgreifbar.



Bitte beachten Sie:

Der Teststecker CN1 ist nur für werksinterne Testzwecke vorgesehen, er sollte für andere Zwecke nicht verwendet werden!

| CN1 | | | |
|-----|-------------------|-----|--------|
| Pin | Signal | Pin | Signal |
| 1 | V _{Ref0} | 2 | AGND |
| 3 | V _{RefA} | 4 | AGND |
| 5 | V _{RefB} | 6 | AGND |
| 7 | V _{RefC} | 8 | AGND |
| 9 | + 15 V | 10 | - 15 V |

3.5.3 Programmierung der D/A-Kanäle

Die D/A-Wandler der ADIODA-12_{STANDARD} wandeln die an ihren digitalen Eingängen anliegende 12-Bit-Information nach folgenden Beziehungen in einen analogen Ausgangsspannungswert:

unipolarer Betrieb:

$$V_{\text{OUT}} = 0V + (n/4096) \cdot V_{\text{fsr}} \qquad 1 \text{ LSB} = V_{\text{fsr}}/4096$$

n ist der anliegende 12-Bit-Wert

(0000 0000 0000 .. n .. 1111 1111 1111 binär
 0 .. n .. 4095 dezimal)

| Digitale Eingänge | Dezimalwert | Vout (Berechnung) | Vout (Vfsr = 10 V) |
|-------------------|-------------|---|---------------------|
| 1111 1111 1111 | 4095 | $V_{\text{fsr}} \cdot 4095 / 4096$ | 9.9976 V |
| 1000 0000 0000 | 2048 | $V_{\text{fsr}} \cdot 2048 / 4096$ | 5.0000 V |
| 0000 0000 0001 | 1 | $V_{\text{fsr}} \cdot 1 / 4096$ (1 LSB) | 0.00244 V = 2.44 mV |
| 0000 0000 0000 | 0 | 0 V | 0.0000 V |

Der maximale Spannungswert V_{fsr} ergibt sich durch die am Referenzspannungseingang des D/A-Wandlers anliegende Spannung ($V_{\text{fsr}} = -V_{\text{ref}}$).

bipolarer Betrieb:

$$V_{OUT} = -V_{fsr} + (n/2048) \cdot V_{fsr}$$

$$1 \text{ LSB} = V_{fsr}/2048$$

n ist der anliegende 12-Bit-Wert

(0000 0000 0000 .. n .. 1111 1111 1111 binär

0 .. n .. 4095 dezimal)

| Digitale Eingänge | Dezimalwert | Vout (Berechnung) | Vout (Vfsr = 10 V) |
|-------------------|-------------|-------------------------|--------------------|
| 1111 1111 1111 | 4095 | - Vfsr + Vfsr*4095/2048 | + 9.9951 V |
| 1000 0000 0000 | 2048 | - Vfsr + Vfsr*2048/2048 | 0.0000 V |
| 0000 0000 0001 | 1 | - Vfsr + Vfsr*1/2048 | - 9.9951 V |
| 0000 0000 0000 | 0 | - Vfsr | - 10.0000 V |

Das Programmieren der D/A-Ausgangskanäle mit dem 12-Bit-Digitalwert erfolgt durch das Schreiben von einem LOW-Byte und einem HIGH-Halbbyte in die entsprechenden Portadressen des jeweiligen D/A-Kanales.

Beispiel:

In der bipolaren Betriebsart (+/-10V) soll ein Spannungswert von +2.5 Volt am D/A-Kanal 2 ausgegeben werden:

$$n = \frac{V_{OUT} + V_{fsr}}{V_{fsr}} \cdot 2048 = 2560 \text{ (dezimal)} = A00 \text{ (hexadezimal)}$$

$$= 1010 \ 0000 \ 0000 \text{ (binär)}$$

port [BASISADRESSE_2 + 2]: = \$00; (Low-Byte)

port [BASISADRESSE_2 + 3]: = \$0A; (High-Halbbyte)

3.6 24-Kanal - Ein-/Ausgabe über PIO 8255

Zur digitalen Ein-/Ausgabe ist auf der ADIODA-12_{STANDARD} ein Schnittstellen-Baustein vom Typ 8255A vorhanden.

Der PIO-Baustein 8255A ist ein programmierbarer Mehrzweck-Ein-/Ausgabe-Baustein. Er hat 24 Ein-/Ausgabeanschlüsse, die in zwei Gruppen von je zwölf Anschlüssen getrennt programmierbar sind und im wesentlichen in drei Betriebsarten benutzt werden können.

In der ersten Betriebsart (Betriebsart 0) kann jede Gruppe von zwölf Ein-/Ausgabeanschlüssen in Abschnitten von acht bzw. vier Anschlüssen als Eingang oder Ausgang programmiert werden.

In der zweiten Betriebsart (Betriebsart 1) können acht Leitungen jeder Gruppe als Eingang oder Ausgang programmiert werden. Von den verbleibenden vier Anschlüssen werden drei für den Austausch von Quittungen und für Unterbrechungs-Steuersignale verwendet.

Die dritte Betriebsart (Betriebsart 2) kann als Zweiweg-Bus-Betriebsart bezeichnet werden. Hier werden acht Anschlüsse für einen Zweiweg-Bus eingesetzt.

Die fünf weiteren Anschlüsse, von denen einer zur anderen Gruppe gehört, werden in diesem Fall für den Quittungsaustausch benutzt. Außerdem ist das direkte Setzen und Rücksetzen einzelner Bits möglich.

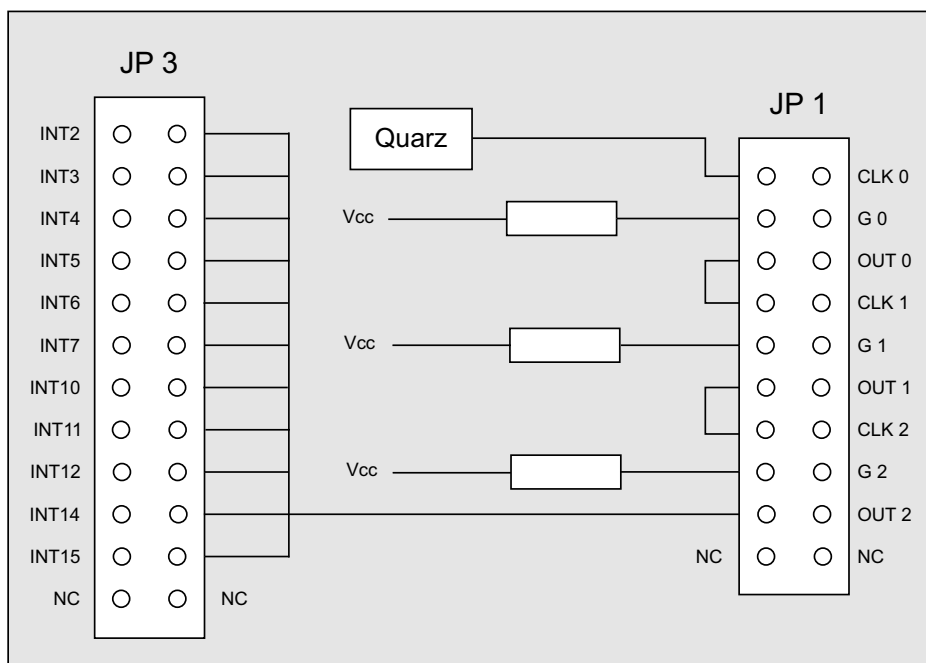
3.7 3 * 16 Bit Zähler (8254)

Die Interfacekarte ADIODA-12_{STANDARD} dient häufig als Schnittstelle zu elektronischen Geräten, wie Druckköpfe oder Schrittmotoren. Alle derartigen Geräte weisen spezifische Verzögerungszeiten auf, die für den zuverlässigen Betrieb genau beachtet werden müssen. Die Anwender-Software kann diese Zeitverzögerungen durch Zeitschleifen berücksichtigen, was hohen Programmieraufwand fordert.

Der programmierbare Zeitgeber 8254 ist zur Hardware-Lösung solcher Zeitgeberprobleme mit nur einem Baustein bestimmt. Er umfasst eine Gruppe von drei von einander unabhängigen 16-Bit-Zählern, die gemeinsam als periphere D/A-Kanäle betrieben werden. Zur Erfüllung seiner Anforderungen setzt der Programmierer, statt der in der System-Software vorgesehenen Zeitschleifen, den 8254 ein. Er bestimmt die Betriebsart und die Voreinstellung eines der drei Zähler des 8254 und auf einen Befehl hin beginnt der 8254 mit der Auszählung der Zeitverzögerungen.

Zudem kann der 8254 auch andere Funktionen übernehmen, die nicht den Charakter einer Zeitverzögerung aufweisen, wie z.B. Ereigniszähler und binärer Zählratenmultiplizierer.

Wie in Kapitel 3.3.3 ersichtlich, können die Eingänge (Takt, Gate) und Ausgänge der drei Zähler des Timerbausteins der ADIODA-12 extern über Pfostenstecker P4 verwendet werden. Hierbei ist zu berücksichtigen, dass der Timer intern über den Jumperblock JP1 wie folgt geschaltet ist:



- > Der Takteingang von Zähler 0 kann über JP1/1-2 mit dem Quarztakt (4 MHz) verbunden werden.
- > Die Gate-Eingänge G0, G1 und G2 können über Strombegrenzungswiderstände an Vcc gelegt (JP1/3-4, JP1/9-10 und JP1/15-16) werden.
- > Zur Zusammenschaltung der Zähler dienen die Jumper JP1/5-6 und JP1/7-8 bzw. JP1/11-12 und JP1/13-14.
- > Das Ausgangssignal von Zähler 2 kann über JP1/17-18 und JP3 mit einer IRQ-Leitung des PC's verbunden werden.

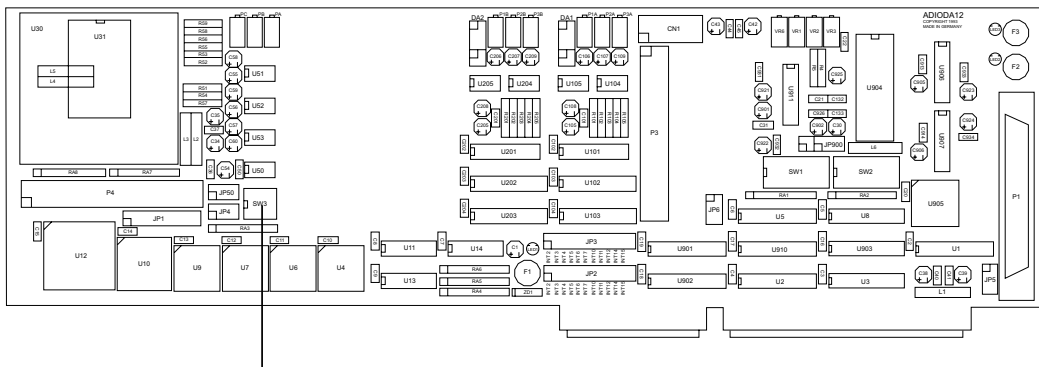
Werksmäßig sind die Jumper JP1/1-2 bis einschließlich JP1/15-16 gesetzt!

Bitte beachten Sie, dass bei Speisung des Timers mit externen Signalen die Jumper je nach Aufgabenstellung gesetzt sein müssen.

Falls der Timerbaustein der ADIODA-12 zur Generierung von zeitgesteuerten Interruptauslösungen verwendet werden soll, sind die Jumper JP1/1-2 bis einschließlich JP1/17-18 zu setzen. Durch entsprechende Programmierung der Zähler kann dann das Signal zur Interruptauslösung (Ausgang OUT2 von Zähler 2) erzeugt werden. Die Auswahl der IRQ-Leitung, auf die die Interruptanforderung des Timers geleitet werden soll, erfolgt dann über einen Jumper an Jumperblock JP3.

Hinweise zur Interruptprogrammierung finden Sie in den Beispielprogrammen.

3.8 Waitstategenerator



Dies ist jedoch nur bei sehr schnellen Rechnern nötig, bei denen der I/O-Bereich nicht asynchron mit 8 MHz betrieben wird, wie es bei den meisten 386er und 486er der Fall ist.

Sie können zwischen 4, 8 und 16 Waitstates wählen. Entnehmen Sie bitte die passende Einstellung für den Dip-Schalterblock SW3 der folgenden Tabelle.

| Waitstates | S1 | S2 | S3 | S4 |
|-------------------|-----------|-----------|-----------|-----------|
| keine | OFF | OFF | OFF | OFF |
| 4 | ON | OFF | OFF | OFF |
| 8 | OFF | ON | OFF | OFF |
| 16 | ON | ON | OFF | OFF |
| keine | OFF | OFF | ON | OFF |

4. Programmierung

Um Ihnen das Programmieren der **wasco**[®] Interface Karte ADIODA-12_{STANDARD} zu erleichtern, haben wir für Sie Beispielprogramme in GW-Basic, Power-Basic, Quick-Basic, Turbo-C und Turbo-Pascal erstellt. Die Programme sind mit Erklärungen versehen, so dass Sie das Ansprechen der Interfacebausteine nachvollziehen können. Die Beispielprogramme finden Sie in den entsprechenden Unterdirectories auf dem beiliegenden Datenträger.

Directory:

| | |
|---------|----------------------------|
| TP | -Programme in Turbo-Pascal |
| TC | -Programme in Turbo-C |
| GWBasic | -Programme in GW-Basic |
| PBasic | -Programme in Power-Basic |
| QBasic | -Programme in Quick-Basic |
| COM | -Speicherres. COM-File |
| UTIL | -Abgleichprogramm |

Außerdem ist die aktuelle Software dieser Karte auch im Internet unter <http://www.wasco.de> zum Download verfügbar.

Vorsicht:

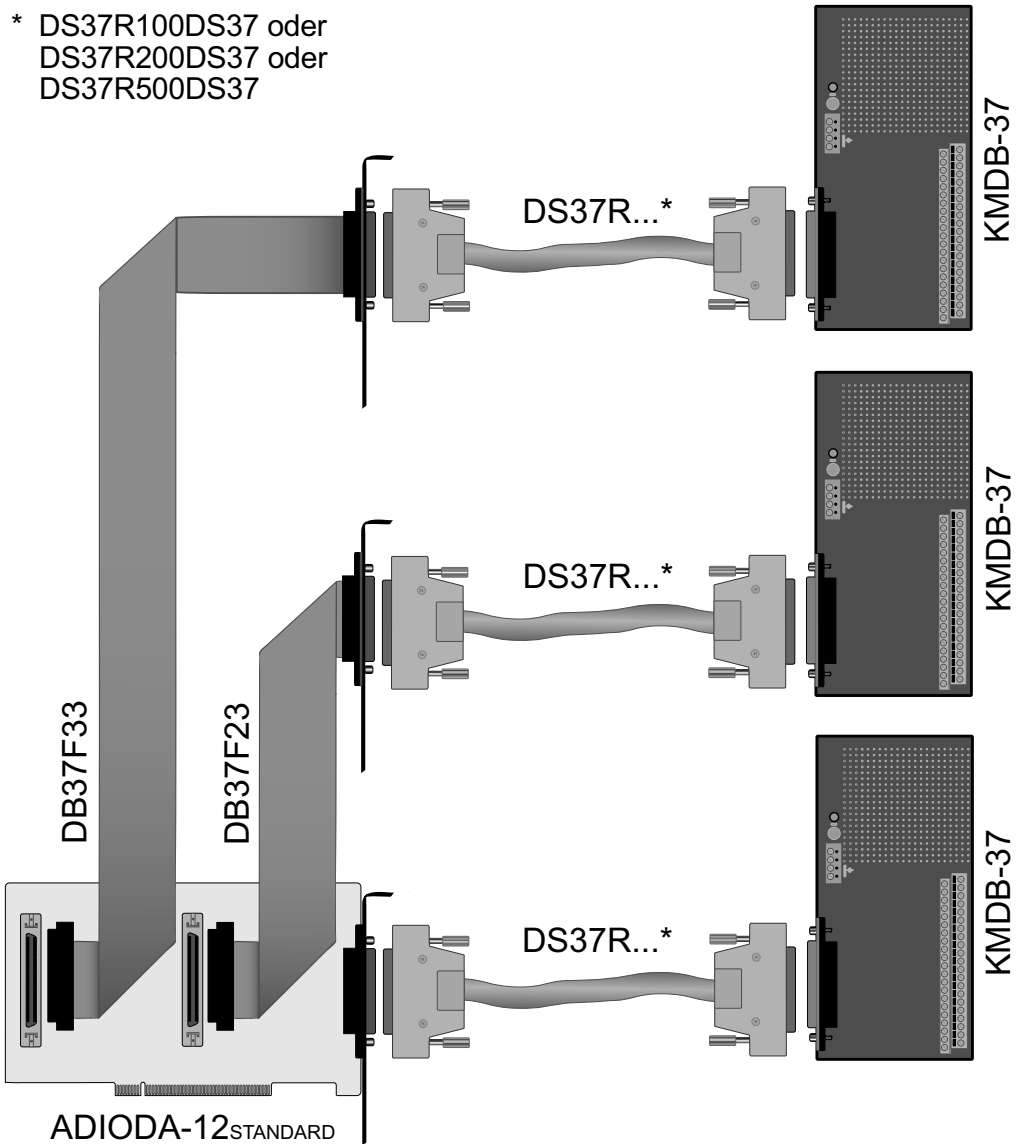
Um unnötige Rechnerabstürze zu vermeiden, sollten Sie die Erklärungen zu den jeweiligen Programmen vor dem Programmstart aufmerksam durchlesen. Dies gilt insbesondere für die Interruptroutinen und die COM-Treiber.

5. Zubehör

5.1 Passendes **wasco**[®]-Zubehör

| Anschlusssteile | EDV-Nr. |
|---------------------------------|----------------|
| DB37F23 Steckerverlegungsset | A-1975 |
| DB37F33 Steckerverlegungsset | A-1976 |
| DS37R100 Anschlussleitung | A-199802 |
| DS37R100DS37 Verbindungsleitung | A-202200 |
| DS37R200DS37 Verbindungsleitung | A-202400 |
| DS37R500DS37 Verbindungsleitung | A-202800 |
| KMDB-37 Klemm-Modul | A-2046 |

5.2 Anschluss technik (Anwendungsbeispiele)



5.3 Einzelkomponenten zur Eigenkonfektionierung

| Einzelkomponenten | EDV-Nr. |
|--|----------------|
| DSS37L D-Sub-Stecker 37pol. für Lötanschluss | A-5506 |
| DSH37L D-Sub-Haube 37pol. Stecker (Lötanschluss) | A-5586 |
| DSS37F D-Sub-Stecker 37pol. für Flachbandleitung | A-5526 |
| DSB37F D-Sub-Buchse 37pol. für Flachbandleitung | A-5566 |
| DA37I Slotblech mit Ausschnitt für 37pol. Stecker/Buchse | A-5754 |
| PBZ40F Pfostenbuchse 40pol. für Flachbandleitung | A-5642 |
| FBL37 Flachbandleitung 37pol. | A-5718 |
| FBL40 Flachbandleitung 40pol. | A-5720 |

6. Fehlersuche

Im folgenden finden Sie eine kurze Zusammenstellung der häufigsten, bekannten Fehlerursachen, die während der Inbetriebnahme oder während der Arbeit mit der ADIODA-12_{STANDARD} auftauchen können.

Prüfen Sie bitte zunächst folgende Punkte, bevor Sie mit Ihrem Händler Kontakt aufnehmen, denn wir hoffen, dass sich damit bereits der größte Teil Ihrer Probleme lösen lässt.

1. Sitzt die ADIODA-12_{STANDARD} richtig in der Steckverbindung?
2. Ist die Basisadresse der ADIODA-12_{STANDARD} richtig eingestellt?
3. Wurden die Adressen in der Software an die Basisadresse der ADIODA-12_{STANDARD} angepasst?
4. Liegen andere Interfacekarten auf dem gleichen Adressbereich?
5. Hat eine der Sicherungen (F1, F2, F3) der ADIODA-12_{STANDARD} angesprochen?
6. Sind alle Kabelverbindungen in Ordnung?
7. Wurde die neueste Treiberversion des **wasco**[®] Treibers installiert?
Updates finden Sie unter: <http://www.messcomp.com>
<http://www.wasco.de>

7. Technische Daten

A/D-Eingänge

| | |
|----------------------------|--|
| Kanäle: | 16 Eingänge single-ended |
| Auflösung: | 8 Bit oder 12 Bit per Software einstellbar |
| Eingangsspannungsbereiche: | |
| bipolar: | +/-5 V, +/-10 V |
| unipolar: | 0...10 V |
| | per Jumper wählbar |
| Eingangsimpedanz: | > 1 M Ω |
| A/D-Wandler: | ADS574 mit Sample & Hold |
| Wandlungszeit: | max. 25 μ s |
| Genauigkeit: | +/- 1 LSB |
| PGA: | AD526 |
| Verstärkungsfaktoren: | 1, 2, 4, 8, 16 per Software wählbar |
| Multiplexer: | 2 * MAX354CPE |
| Summenabtastrate: | max. 25 kS/s |
| Wandlungsauslösung: | per Software, Timer oder externes Signal |
| Datentransfer: | Pollingbetrieb, interruptgesteuert |

D/A-Ausgänge

| | |
|----------------------------|-------------------------------------|
| Kanäle: | 2 Ausgänge |
| Auflösung: | 12 Bit |
| D/A-Wandler: | 2 * DAC7541 |
| Linearität: | +/-1 LSB |
| Ausgangsspannungsbereiche: | |
| unipolar: | 2.5 V, 5 V, 7.5 V, 10 V |
| bipolar: | +/-2.5 V, +/-5 V, +/-7.5 V, +/-10 V |
| Ausgangsstrom: | max. +/-5 mA |
| Einschwingzeit: | max. 70 μ s FSR |

Referenzspannung

| | |
|--------------------------|-------|
| Referenzspannungsquelle: | AD584 |
|--------------------------|-------|

Digitale Ein/Ausgänge TTL

| | |
|--|--------------------|
| Bausteine: | 8255 oder 71055 |
| Kanäle: | 24, TTL-kompatibel |
| Port A und B in 8-Bit-Gruppen, Port C in einer 8-Bit-Gruppe oder in zwei 4-Bit-Gruppen als Ein- oder Ausgänge programmierbar | |

Timer

Baustein 8254 oder 71054

3 * 16 Bit Abwärtszähler

Zählfrequenz: max. 8 MHz

Zeitabhängige Interruptauslösungen

Takt vom Quarzoszillator

Quarzoszillator

4 MHz

Waitstategenerator

Waitstate 4, 8, 16 über Dip-Schalter einstellbar

Anschlussstecker

1 * 37polige D-Sub-Buchse

2 * 40poliger Pfostenstecker

Sicherungen

+ 5 V 1 A Miniatorsicherung F1

+ 12 V 1 A Miniatorsicherung F2

- 12 V 1 A Miniatorsicherung F3

Stromverbrauch

+ 5 V typ. 500 mA

+ 12 V typ. 250 mA

- 12 V typ. 20 mA

Sonstige technische Daten

Abmessungen: 340 mm x 100 mm (l x h)

Platinenaufbau: 4lagige Multilayer-Platine

DC/DC-Wandler

Sicherung für Spannungsversorgung

LED zur Spannungskontrolle

Alle IC-Fassungen mit vergoldeten Kontakten

8. Produkthaftungsgesetz

Hinweise zur Produkthaftung

Das Produkthaftungsgesetz (ProdHaftG) regelt die Haftung des Herstellers für Schäden, die durch Fehler eines Produktes verursacht werden.

Die Verpflichtung zu Schadenersatz kann schon gegeben sein, wenn ein Produkt aufgrund der Form der Darbietung bei einem nichtgewerblichen Endverbraucher eine tatsächlich nicht vorhandene Vorstellung über die Sicherheit des Produktes erweckt, aber auch wenn damit zu rechnen ist, dass der Endverbraucher nicht die erforderlichen Vorschriften über die Sicherheit beachtet, die beim Umgang mit diesem Produkt einzuhalten wären.

Es muss daher stets nachweisbar sein, dass der nichtgewerbliche Endverbraucher mit den Sicherheitsregeln vertraut gemacht wurde.

Bitte weisen Sie daher im Interesse der Sicherheit Ihre nichtgewerblichen Abnehmer stets auf Folgendes hin:

Sicherheitsvorschriften

Beim Umgang mit Produkten, die mit elektrischer Spannung in Berührung kommen, müssen die gültigen VDE-Vorschriften beachtet werden.

Besonders sei auf folgende Vorschriften hingewiesen:

VDE0100; VDE0550/0551; VDE0700; VDE0711; VDE0860.

Sie erhalten VDE-Vorschriften beim vde-Verlag GmbH, Bismarckstraße 33, 10625 Berlin.

- * Vor Öffnen eines Gerätes den Netzstecker ziehen oder sicherstellen, dass das Gerät stromlos ist.
- * Bauteile, Baugruppen oder Geräte dürfen nur in Betrieb genommen werden, wenn sie vorher in ein berührungssicheres Gehäuse eingebaut wurden. Während des Einbaus müssen sie stromlos sein.
- * Werkzeuge dürfen an Geräten, Bauteilen oder Baugruppen nur benutzt werden, wenn sichergestellt ist, dass die Geräte von der Versorgungsspannung getrennt sind und elektrische Ladungen, die in im Gerät befindlichen Bauteilen gespeichert sind, vorher entladen wurden.
- * Spannungsführende Kabel oder Leitungen, mit denen das Gerät, das Bauteil oder die Baugruppe verbunden sind, müssen stets auf Isolationsfehler oder Bruchstellen untersucht werden. Bei Feststellen eines Fehlers in der Zuleitung muss das Gerät unverzüglich aus dem Betrieb genommen werden, bis die defekte Leitung ausgewechselt worden ist.
- * Bei Einsatz von Bauelementen oder Baugruppen muss stets auf die strikte Einhaltung der in der zugehörigen Beschreibung genannten Kenndaten für elektrische Größen hingewiesen werden.
- * Wenn aus den vorgelegten Beschreibungen für den nichtgewerblichen Endverbraucher nicht eindeutig hervorgeht, welche elektrischen Kennwerte für ein Bauteil gelten, so muss stets ein Fachmann um Auskunft ersucht werden.

Im Übrigen unterliegt die Einhaltung von Bau und Sicherheitsvorschriften aller Art (VDE, TÜV, Berufsgenossenschaften usw.) dem Anwender/Käufer.

9. EG-Konformitätserklärung

Für das folgende Erzeugnis

ADIODA-12^{STANDARD}
EDV-Nummer A-1062

wird hiermit bestätigt, dass es den Anforderungen der betreffenden EG-Richtlinien entspricht. Bei Nichteinhaltung der im Handbuch angegebenen Vorschriften zum bestimmungsgemäßen Betrieb des Produktes verliert diese Erklärung ihre Gültigkeit.

EN 55022 Klasse B
IEC 801-2
IEC 801-3
IEC 801-4
EN 50082-1
EN 60555-2
EN 60555-3

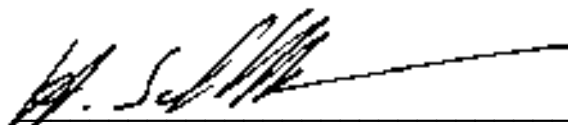
Diese Erklärung wird verantwortlich für den Hersteller

Messcomp Datentechnik GmbH
Neudecker Str. 11
83512 Wasserburg

abgegeben durch

Dipl.Ing.(FH) Hans Schnellhammer
(Geschäftsführer)

Wasserburg, 06.06.2006



Referenzsystem - Bestimmungsgemäßer Betrieb

Die PC-Erweiterungskarte ist ein nicht selbstständig betreibbares Gerät, dessen CE-Konformität nur bei gleichzeitiger Verwendung von zusätzlichen Computerkomponenten beurteilt werden kann.

Die Angaben zur CE-Konformität beziehen sich deshalb ausschließlich auf den bestimmungsgemäßen Einsatz der PC-Erweiterungskarte in folgendem Referenzsystem:

| | | |
|--------------------|-------------------------------|---|
| Schaltschrank: | Vero IMRAK 3400 | 804-530061C 802-563424J 802-561589J |
| 19" Gehäuse: | Vero PC-Gehäuse | 145-010108L |
| 19" Gehäuse: | Zusatzelektronik | 519-112111C |
| Motherboard: | passiv Vero | 425-309911E |
| CPU-Board: | Advantech | PCA-6143P |
| Floppy-Controller: | auf CPU-Board | |
| Floppy: | TEAC | FD-235HF |
| Grafikkarte: | Advantech | PCA-6443 |
| Schnittstellen: | ADIODA-12 _{STANDARD} | A-1062 |